T.C.
ERCİYES ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ
ANABİLİM DALI

ÇOK AMAÇLI FPAA TABANLI SİSTEM GELİŞTİRME PLATFORMU TASARIMI

Hazırlayan
Volkan ONURSOY

Danışman
Prof. Dr. Recai KILIÇ

Yüksek Lisans Tezi

Mart 2018
KAYSERİ

T.C.
ERCİYES ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ
ANABİLİM DALI

ÇOK AMAÇLI FPAA TABANLI SİSTEM GELİŞTİRME PLATFORMU TASARIMI

(Yüksek Lisans Tezi)

Hazırlayan
Volkan ONURSOY

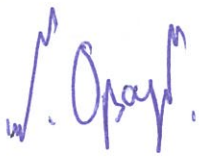
Danışman
Prof. Dr. Recai KILIÇ

Mart 2018
KAYSERİ

BİLİMSEL ETİĞE UYGUNLUK

Bu çalışmadaki tüm bilgilerin, akademik ve etik kurallara uygun bir şekilde elde edildiğini beyan ederim. Aynı zamanda bu kural ve davranışların gerektirdiği gibi, bu çalışmanın özünde olmayan tüm materyal ve sonuçları tam olarak aktardığımı ve referans gösterdiğimi belirtirim.

Adı-Soyadı : Volkan ONURSOY

İmza : 

YÖNERGEYE UYGUNLUK

Çok Amaçlı FPAA Tabanlı Sistem Geliştirme Platformu Tasarımı adlı Yüksek Lisans tezi, Erciyes Üniversitesi Lisansüstü Tez Önerisi ve Tez Yazma Yönergesi'ne uygun olarak hazırlanmıştır.

Tezi Hazırlayan

Volkan ONURSOY

Danışman

Prof. Dr. Recai KILIÇ

Elektrik-Elektronik Mühendisliği ABD Başkanı

Prof. Dr. Necmi TAŞPINAR

Prof. Dr. Recai KILIÇ danışmanlığında **Volkan ONURSOY** tarafından hazırlanan "**Çok Amaçlı FPAA Tabanlı Sistem Geliştirme Platformu Tasarımı**" adlı bu çalışma, jürimiz tarafından Erciyes Üniversitesi Fen Bilimleri Enstitüsü Elektrik-Elektronik Mühendisliği Anabilim Dalında **Yüksek Lisans** tezi olarak kabul edilmiştir.

29 / 03 / 2018

JÜRİ:

Danışman : Prof. Dr. Recai KILIÇ

Üye : Doç. Dr. Ersin GÜNAY

Üye : Dr. Öğr. Üyesi Salim ÇINAR

ONAY:
Bu tezin kabulü Enstitü Yönetim Kurulunun 10/04/2018 tarih ve 2018/16-04 sayılı kararı ile onaylanmıştır.

10 / 04 / 2018

Prof. Dr. Mehmet AKKURT

Enstitü Müdürü

TEŞEKKÜR

Tez sürecinde bilimsel katkılarıyla beni aydınlatan, bölümün imkanlarından faydalanmam için emeğini, yakın ilgi ve yardımlarını esirgemeyen danışman hocam Sayın Prof. Dr. Recai KILIÇ' a, deneysel çalışmalarım aşamasında bilgi ve emeğini esirgemeyen, karşılaştığım zorlukları aşmamda yardımcı olan Sayın Arş. Gör. Nimet KORKMAZ' a teşekkür ederim.

Çalışmalarım süresince göstermiş olduğum agresif tutumu tolere eden, her fırsatta manevi olarak desteklerini tam güç uygulayan, iyi niyetine hayran olduğum sevgili yol arkadaşım eşime; sabrına, derin dünyasına ve hayat görüşüne mazhar olduğum, evladı olmaktan gurur duyduğum sevgili babama; merhameti ve doğasıyla ruhumda yeni yollar tasarlayan sevgili anneme; çalışkanlığı ve azmiyle her zaman örnek aldığım sevgili ablama; her ne kadar kendileri henüz farkında olmasalar da gülüşleriyle sayfalarımı güneş gibi aydınlatan sevgili küçük kızıma ve sevgili yeğenime en kalbi duygularımı sunarım.

Ayrıca Kayseri Bilim, Sanayi ve Teknoloji İl Müdürü Sayın Kamil AKÇADIRCI' ya ve Piyasa Gözetimi ve Denetimi Şube Müdürü Sayın Suat TÜRKAN' a yüksek lisans süresi boyunca ve her zaman göstermiş oldukları pozitif ve eğitimi destekleyici yaklaşımları, yardımları ve anlayışları için teşekkürü bir borç bilirim.

Volkan ONURSOY

Kayseri, Mart 2018

ÇOK AMAÇLI FPAA TABANLI SİSTEM GELİŞTİRME PLATFORMU TASARIMI

Volkan ONURSOY

Erciyes Üniversitesi, Fen Bilimleri Enstitüsü

Yüksek Lisans Tezi, Mart 2018

Danışman: Prof. Dr. Recai KILIÇ

ÖZET

FPAA (**F**ield **P**rogrammable **A**nalog **A**rray-Alan Programlanabilir Analog Diziler) tabanlı sistemler esnek mimarileri, yüksek hata toleransları, sıcaklığa karşı kararlılıkları, devre karmaşasını ortadan kaldırmaları, mikrodenetleyici ile çalışmaya elverişli olmaları, birçok transfer fonksiyonunu gerçekleştirebilmeleri ve en önemlisi yeniden programlanabilir olmaları gibi özelliklerinden dolayı, analog devre tasarımlarının donanımsal olarak gerçekleştirilmesi için uygun yapılardır.

Günümüzde, Anadigm™ firması tarafından üretilen ikinci ve üçüncü jenerasyon FPAA' ler ve geliştirme platformları akademik ve ticari uygulamalarda en yaygın olarak kullanılan ticari ürünlerdir. Karmaşık devre yapıları için yetersiz kapasite miktarları, mikrodenetleyici tabanlı benzer geliştirme platformlarına nazaran yüksek maliyetleri, platformların birbiri arasında zincir yapısına izin vermemesi ve basit bir uygulama geliştirmek için bile çok sayıda atlama ile konfigürasyon yapılması gerekliliği firma tarafından sunulan geliştirme platformları ile ilgili en sık karşılaşılan problemlerdir.

Bu tez projesi kapsamında geliştirilen çok amaçlı FPAA tabanlı sistem geliştirme platformu tasarımı ile çoklu FPAA blokları içeren bir platform oluşturulmuş olup mevcut ticari platformların dezavantajı olarak görülen yüksek maliyet, kapasite limitasyonu ve platform karmaşasının önüne geçilerek platform üzerinde lineer ve lineer olmayan çeşitli analog yapıların uygulanması, FPAA teknolojisinin daha geniş kitlelere ulaşması ve kitleler tarafından daha anlaşılabilir kılınması amaçlanmıştır.

Dört bölümden oluşan tez çalışmasının ilk bölümünde FPAA' lere kısa bir giriş yapılmış olup problemin durumu, araştırmanın önemi ve tezin amacı verilmiştir. İkinci bölümde, FPAA' lerin genel mimarisinden, tarihsel gelişiminden, akademik- ticari tasarımlardan ve tez çalışmasında kullanılan Anadigm™ firması tarafından üretilen

FPAA’ ler ve geliştirme platformlarıyla ile ilgili detaylı bilgi verilmiştir. Üçüncü bölümde, tez çalışması kapsamında tasarımı yapılan FPAA tabanlı sistem geliştirme platformunun donanımsal olarak incelemesi yapılmış olup geliştirilen platform üzerinde farklı test devrelerini içeren deneysel gerçekleştirimler yapılmıştır. Dördüncü ve son bölümde elde edilen sonuçlar tartışılmış ve değerlendirilmiştir.

Anahtar Kelimeler: Alan Programlanabilir Analog Diziler, Dinamik Programlanabilen Analog Sinyal İşlemcileri, Yapılandırılabilir Analog Blok, Analog Platform.

DESIGN OF MULTI PURPOSE FPAA BASED

SYSTEM DEVELOPING BOARD

Volkan ONURSOY
Erciyes University, Graduate School of Natural and Applied Sciences
M.Sc. Thesis, March 2018
Supervisor: Prof. Dr. Recai KILIÇ

ABSTRACT

FPAA (**F**ield **P**rogrammable **A**nalog **A**rray)-based systems are convenient structures to build hardware that includes analogue circuit designs cause of features that flexible architecture, stability of coefficient temperature, removing complexity of circuit, functional to work with microcontrollers, realizing much transfer functions and especially feature of reconfigurable.

Nowadays, second generation and third generation FPAA' s which are produced by Anadigm™ company are most used products in academic and commercial implementations. Development kits from the company have some disadventages which are insufficient capacity sources for complex circuit structures, high costs according to similar microcontroller based development kits, disallowance to creat multi FPAA blocks and need too many jumpers to develop for a simple circuit implementation even.

In this thesis project within, design of a FPAA based system developing board have been created which have multi FPAA blocks. This platform brings a solution for disadventages of current commercial development kits which have high costs, capacity limitations and complication of layout on the kits. Bringing solution to problems, implementing various analog circuit structures which are lineer and non-lineer on the board, getting met FPAA technology to wide crowd and getting it more understandable by FPAA based system developing board are aimed.

In the first section of this thesis consisting of four sections, a brief knowledges about FPAA' s, situation of problem, consideration of thesis and purpose of thesis are given. In the second section, common architecture of FPAA' s, historical development and academic-commercial projects about FPAA' s and detailed informations about Anadigm

products and development boards are given. In the third section, the assemblied FPAA based system developing board is analyzed by hardware and further experimental works about analog circuits had been implemented on the board. In the fourth which is final section, the obtained results are discussed and evaluated.

Keywords: Field Programmable Analog Array, Dynamically Programmable Analog Signal Processor, Configurable Analog Block, Configurable Analog Module, Analog Platform.

İÇİNDEKİLER

ÇOK AMAÇLI FPAA TABANLI SİSTEM GELİŞTİRME PLATFORMU TASARIMI

BİLİMSEL ETİĞE UYGUNLUK ii
YÖNERGEYE UYGUNLUK iii
KABUL VE ONAY iv
TEŞEKKÜR v
ÖZET vi
ABSTRACT viii
İÇİNDEKİLER x
KISALTMALAR xiii
TABLOLAR LİSTESİ xiv
ŞEKİLLER LİSTESİ xv

1. BÖLÜM

GENEL BİLGİLER ve LİTERATÜR TARAMASI

1.1. Problemin Durumu ve Literatür Çalışması 3
1.2. Araştırmanın Amacı 18
1.3. Araştırmanın Önemi 19

2. BÖLÜM

AN231E04 TÜMDEVRESİ ve ÇOKLU YAPI KONFİGÜRASYONU

2.1. Genel Mimari 20
2.2. Yapılandırma Arayüzü Bağlantıları 25
2.2.1. Dinamik Programlama Yapılandırma Bağlantıları 25
2.2.2 Statik Programlama Yapılandırma Bağlantıları 27
2.3. FPAA Arayüz Programı 28
2.3.1. OSCILLATORSINE Bloğu 30
2.3.2. GAININV Bloğu 31

2.3.3. MULTIPLIER Bloğu 32
2.3.4. SUMINV Bloğu 33
2.4. Geliştirme Platformları 34
2.4.1. Anadigm AN221E04-DVLP2 5volt Geliştirme Platformu 34
2.4.2. Anadigm AN231K04-SING 3.3volt Geliştirme Platformu 36
2.4.3. Anadigm AN231K04-DUAL 3.3volt Geliştirme Platformu 37
2.4.4. Anadigm AN231K04-QUAD 3.3volt Geliştirme Platformu 38

3. BÖLÜM

ÇOK AMAÇLI FPAA TABANLI SİSTEM GELİŞTİRME PLATFORMU TASARIMI ve UYGULAMALARI

3.1. FPAA Tabanlı Sistem Geliştirme Platformu Tasarımı 40
3.1.1. Geliştirme Platformunun Genel Özellikleri 40
3.1.2. Geliştirme Platformunun Yerleşim Planı (Layout) 42
3.1.3. Geliştirme Platformunun Enerjilendirilmesi 43
3.1.4. Geliştirme Platformunun Programlanması 44
3.1.5. Geliştirme Platformunun Diğer Özellikleri 46
3.1.5.1. “Reset” Butonu 46
3.1.5.2. Değişken Sayıda FPAA Zinciri Oluşturmak 46
3.1.5.3. Flash Hafıza Modu 47
3.1.5.4. Test Devresi 48
3.1.5.5. VMR (Voltage Main Reference) 48
3.1.5.6. Analog Erişim Noktaları 49
3.1.5.7. Analog Saat Sinyali (Clock) 49
3.1.5.8. PIC32 Programlama Pinleri 49
3.1.5.9. PIC32 ADC Kanalları ve Genel Amaçlı Pinler 50
3.1.5.10. DIP Anahtarlar 50
3.1.5.11. Atlamalar 51
3.1.6. PIC32MX440F Özellikleri 52
3.1.7. Anadigm AN231E04 dpASP 53
3.1.8. Baskı Devre Tasarımı ve Montaj 54
3.2. FPAA Tabanlı Sistem Geliştirme Platformu Uygulamaları 55

3.2.1. Lineer Devre Uygulamaları 55
3.2.1.1. Uygulama Devresi-I 55
3.2.1.2. Uygulama Devresi-II 58
3.2.1.3. Uygulama Devresi-III 61
3.2.1.4. Uygulama Devresi-IV 65
3.2.1.5. Uygulama Devresi-V 68
3.2.2. Lineer Olmayan Devre Uygulamaları 71
3.2.2.1. Kübik Fonksiyonlu Chua Osilatörü Uygulama Devresi 71
3.2.2.2. n-Çekerli Chua Osilatörleri Uygulama Devresi 75

4. BÖLÜM

SONUÇ ve DEĞERLENDİRME **79**

KAYNAKÇA 83
ÖZGEÇMİŞ 92

KISALTMALAR

FPAA	Field Programable Analog Array
PLD	Programmable Logic Devices
ASIC	Application Specific Integrated Circuit
FPGA	Field Programable Gate Array
CAB	Configurable Analog Block
CAM	Configurable Analog Module
SRAM	Static Random Access Memory
EEPROM	Electronically Erasable Programmable Read Only Memory
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
FET	Field Effect Transistor
OTA	Operational Transconductance Amplifier
LUT	Look-Up Table
OP-AMP	Operational Amplifier
SPI	Serial Peripheral Interface
SI	Serial In
SO	Serial Out
I/O	Input/Output
MOSI	Master Out Slave In
ICSP	In Circuit Serial Programming
SAR	Successive-Approximation Register
ADC	Analog-Digital Converter
A/D	Analog/Digital
D/A	Digital/Analog
VLSI	Very Large Scale Integration

TABLOLAR LİSTESİ

Tablo 1.1. Ticari olarak üretilen FPAA aileleri……. ..17
Tablo 3.1. DIP anahtarlar ile gerçekleşebilen bağlantılar. 51
Tablo 3.2. Platformdaki atlamalar ve fonksiyonları.....52

ŞEKİLLER LİSTESİ

Şekil 1.1. Geleneksel analog sistem tasarımı döngüsü 2
Şekil 1.2. FPAA tabanlı hızlı analog sistemi tasarımı döngüsü 2
Şekil 1.3. Dört CAB' li FPAA blok diyagramı. 3
Şekil 1.4. CAB blok diyagramı 4
Şekil 1.5. (a) Anahtarlamalı kapasitör devresi, (b) Anahtarlara uygulanan sinyaller 5
Şekil 1.6. Temel direnç devresi 6
Şekil 1.7. Anahtarlamalı kapasitör devrelerinde MOSFET anahtarlar 8
Şekil 1.8. PSoC 1 fonksiyonel blok diyagramı. 11
Şekil 1.9. AN120E04 fonsiyonel blok diyagramı. 13
Şekil 1.10. AN121E04 fonksiyonel blok diyagramı. 14
Şekil 1.11. AN131E04 fonksiyonel blok diyagramı. 14
Şekil 1.12. (a) ispPAC10 fonksiyonel blok diyagramı, (b) ispPAC20 fonksiyonel blok diyagramı 15
Şekil 1.13. (a) ispPAC30 fonksiyonel blok diyagramı, (b) ispPAC80 fonksiyonel blok diyagramı 16
Şekil 2.1. AN131E04 ve AN231E04 fonksiyonel blok diyagramı. 21
Şekil 2.2. CAB' e ait fonksiyonel blok diyagramı. 22
Şekil 2.3. AN231E04 saat sinyali üretimi fonksiyonel blok diyagramı 23
Şekil 2.4. AN231E04 için temel saat sinyali ayarları.. 23
Şekil 2.5. Mikrodenetleyici ve FPAA dinamik yapılandırma bağlantısı. 26
Şekil 2.6 Bir mikrodenetleyici ve birden fazla FPAA yapılandırma bağlantısı. 27
Şekil 2.7. Mikrodenetleyici ve FPAA statik yapılandırma bağlantısı. 28
Şekil 2.8. AN231E04 için Anadigm Designer 2 tasarım arayüzü 29
Şekil 2.9. Yapılandırılabilir analog modüller (CAM) 29
Şekil 2.10. OscillatorSine bloğu (a) anahtarlamalı kapasitör devre modeli, (b) ayarlanabilir parametreleri. 30
Şekil 2.11. GainInv bloğu (a) anahtarlamalı kapasitör devre modeli, (b) ayarlanabilir parametresi. 31
Şekil 2.12. Multiplier bloğu (a) anahtarlamalı kapasitör devre modeli, (b) ayarlanabilir parametreleri 32

Şekil 2.13. SumInv bloğu (a) anahtarlamalı kapasitör devre modeli, (b) ayarlanabilir parametreleri. 33
Şekil 2.14. Anadigm AN221E04-DVLP2 5volt geliştirme platformu..... 34
Şekil 2.15. Anadigm AN221E04-DVLP2 ile zincir oluşturulması..... 35
Şekil 2.16. Anadigm AN231K04-SING 3.3volt geliştirme platformu 36
Şekil 2.17. Anadigm AN231K04-DUAL 3.3volt geliştirme platformu..... 37
Şekil 2.18. Anadigm AN231K04-QUAD 3.3volt geliştirme platformu. 38
Şekil 3.1. FPAA tabanlı sistem geliştirme platformu fonksiyonel blok diyagramı…… 41
Şekil 3.2. Geliştirme platformunun yerleşim planı 42
Şekil 3.3. LM317 voltaj regülatörü. 44
Şekil 3.4. Platform bilgisinin Anadigm Designer 2™' de gösterimi.. 45
Şekil 3.5. Bilgilendirme LED' leri 45
Şekil 3.6. Reset butonu 46
Şekil 3.7. Değişken sayıda FPAA zinciri oluşturulması 47
Şekil 3.8. PIC programlama pinleri..... 49
Şekil 3.9. PIC32 kesme,genel amaçlı pinler ve ADC kanalları. 50
Şekil 3.10. PIC32MX440F512H' e ait (a) 64 pin TQFP kılıf, (b) fiziksel görünüm..... 52
Şekil 3.11. AN231E04' e ait (a) pin diyagramı, (b) QFN-44 kılıf gösterimi, (c) fiziksel görünüm... 53
Şekil 3.12. Çift katmanlı baskı devre tasarımı. 54
Şekil 3.13. Uygulama devresi-I blok diyagramı. 56
Şekil 3.14. Uygulama devres-I Anadigm Designer 2 tasarımı..... 56
Şekil 3.15. Uygulama devresi-I' e ait simülasyon sonucu. 57
Şekil 3.16. Uygulama devresi-I' e ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali. 58
Şekil 3.17. Uygulama devresi-II blok diyagramı. 59
Şekil 3.18. Uygulama devresi-II Anadigm Designer 2 tasarımı. 59
Şekil 3.19. Uygulama devresi-II' ye ait simülasyon sonucu..... 60
Şekil 3.20. Uygulama devresi-II' ye ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali 61
Şekil 3.21. Uygulama devresi-III blok diyagramı..... 62
Şekil 3.22. Uygulama devresi-III Anadigm Designer 2 tasarımı..... 62
Şekil 3.23. Uygulama devresi-III simülasyon sonucu. 64

Şekil 3.24. Uygulama devresi-III' e ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali. 64
Şekil 3.25. Uygulama devresi-IV blok diyagramı. 66
Şekil 3.26. Uygulama devresi-IV Anadigm Designer 2 tasarımı.....66
Şekil 3.27. Uygulama devresi-IV' e ait simülasyon sonucu. 67
Şekil 3.28. Uygulama devresi-IV' e ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali. 67
Şekil 3.29. Uygulama devresi-V blok diyagramı.....69
Şekil 3.30. Uygulama devresi-V Anadigm Designer 2 tasarımı.....69
Şekil 3.31. Uygulama devresi-V' e ait simülasyon sonucu. 70
Şekil 3.32. Uygulama devresi-V' e ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali. 70
Şekil 3.33. Uygulama devresi-V' e ait sistem frekansları deneysel sonuçları, (a) FPAA3 4 MHz çıkış sinyali, (b) FPAA3 16 MHz çıkış sinyali. 71
Şekil 3.34. Kübik fonksiyonlu Chua osilatörü uygulama devresi blok diyagramı. 73
Şekil 3.35. Kübik fonksiyonlu Chua osilatörü uygulama devresi Anadigm Designer 2 tasarımı.....73
Şekil 3.36. Kübik fonksiyonlu Chua osilatörü uygulama devresine ait deneysel sonuçlar, (a) FPAA1 çıkış sinyalleri, (b) Chua osilatör çekeri, (c) FPAA2 çıkış sinyalleri, (d) FPAA3 çıkış sinyalleri, (e) FPAA4 çıkış sinyalleri.. 74
Şekil 3.37. n-çekerli Chua osilatörleri uygulama devresi blok diyagramı.....78
Şekil 3.38. n-çekerli Chua osilatörleri uygulama devresi Anadigm Designer 2™ tasarımı.....78
Şekil 3.39. n-çekerli Chua osilatörleri uygulama devresine ait deneysel sonuçlar, (a) 4-çeker Chua osilatörü FPAA1 çıkış sinyalleri, (b) 5-çeker Chua osilatörü FPAA2 çıkış sinyalleri, (c) 6-çeker Chua Osilatörü FPAA3 çıkış sinyalleri... 77
Şekil 3.40. n-çekerli Chua osilatörleri uygulama devresine ait çeker görünümleri deneysel sonuçları, (a) 4-çeker Chua osilatörü çeker görüntüsü, (b) 5-çeker Chua osilatörü çeker görüntüsü, (c) 6-çeker Chua Osilatörü çeker görüntüsü.....78

1. BÖLÜM

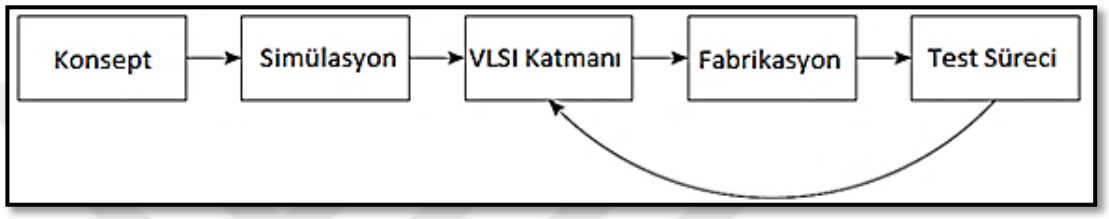
GENEL BİLGİLER ve LİTERATÜR ÇALIŞMASI

Yeniden yapılandırılabilir donanımlar uzun bir süredir devre tasarımcılarının ve mühendislerin ilgi alanı olmuştur. Dijital eksende PLD' ler (**P**rogrammable **L**ogic **D**evices-Programlanabilir Lojik Aygıtlar) özel dijital tümdevreler geliştirme konusunda büyük etki yaratmış, mühendislere özel dijital tümdevreler tasarlama hususunda kolayca yeniden yapılandırılabilir donanımlar sunarak onların önlerini açmıştır. 1960' ların sonlarına doğru PLD' ler, FPGA' lerin (**F**ield **P**rogrammable **G**ate **A**rrays-Alan Programlanabilir Kapı Dizileri) doğmasını sağlamıştır. Dijital donanım prototip oluşturma çalışmalarında, FPGA' ler laboratuvar ortamında geliştiriciler tarafından sürekli kullanılmış olup prototip maliyetleri azaltılarak zamandan tasarruf edilmesini, ürünlerin markete hızlıca kazandırılmasını sağlamıştır. Analog eksende ise süreç daha yavaş işlemiştir. İlk analog tümdevrelerde kutupların ayarlanmasıyla, ayarlanabilir tümdevreler elde edilmiş olsa da tam anlamıyla FPAA' lerin (**F**ield **P**rogrammable **A**nalog **A**rray-Yeniden Programlanabilir Analog Diziler) ortaya çıkması 1980' lerin sonlarını bulmuştur ve FPAA' ler 1996 yılına kadar ticari ürün haline gelememiştir [1].

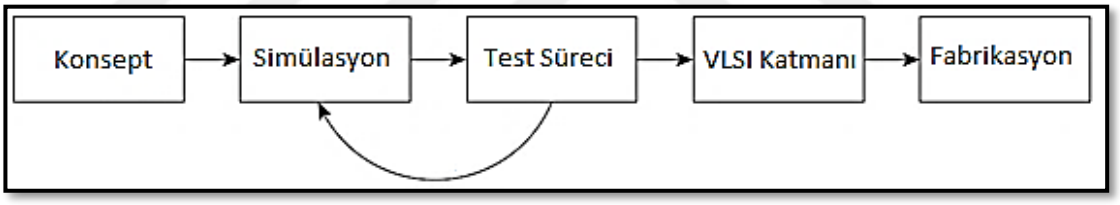
Tasarım süreçleri uzun olan analog devrelerin tasarımını hızlandırmak için bilgisayar destekli yöntemler ve tekrar yapılandırılabilen yüksek performanslı devreler gerekmektedir. Kısaltılması hedeflenen tasarım süreçleri, analog ve hibrid (analog-dijital) devreler için doğruluk, düşük fiyat, hızlı prototip teknikleri sunan FPAA' ler üzerine yapılan araştırmaların kilit noktasıdır [2, 3].

Bir analog tümdevrenin tasarımı, fabrikasyonu ve test işlemi belirli bir uzmanlık gerektirir ve çoğu zaman bu süreç pahalı ve uzundur. Aşağıda gösterildiği gibi analog sistem tasarımı, ASIC (**A**pplicaiton **S**pecific **I**ntegrated **C**ircuit-Uygulamaya Yönelik Tümdevre) tasarımına benzemez ve tasarımcının kullanabileceği çok az tasarım aracı vardır. Şekil 1.1' de gösterilen geleneksel analog devre tasarım döngüsü incelendiğinde;

simülasyonla beraber art arda tekrarlanan fabrikasyon süreci, VLSI (**V**ery **L**arge **S**cale **I**ntegration-Çok Geniş Çapta Tümleşim) katmanı ve test aşamaları tipik bir tümdevre için bir yıl kadar sürebilir. Bununla birlikte, tasarım aşamasında FPAA kullanımı Şekil 1.2' de gösterildiği üzere fabrikasyon gibi tekrarlanan süreçleri ortadan kaldırır böylece test sürecine ve simülasyona odaklanılmasına imkan tanıyarak önemli ölçüde tasarım döngüsü zamanından tasarruf sağlar. Böylece bir çok tasarım gün içerisinde defalarca test edilme ve modifiye edilme imkanı bulur.



Şekil 1.1. Geleneksel analog sistem tasarımı döngüsü.



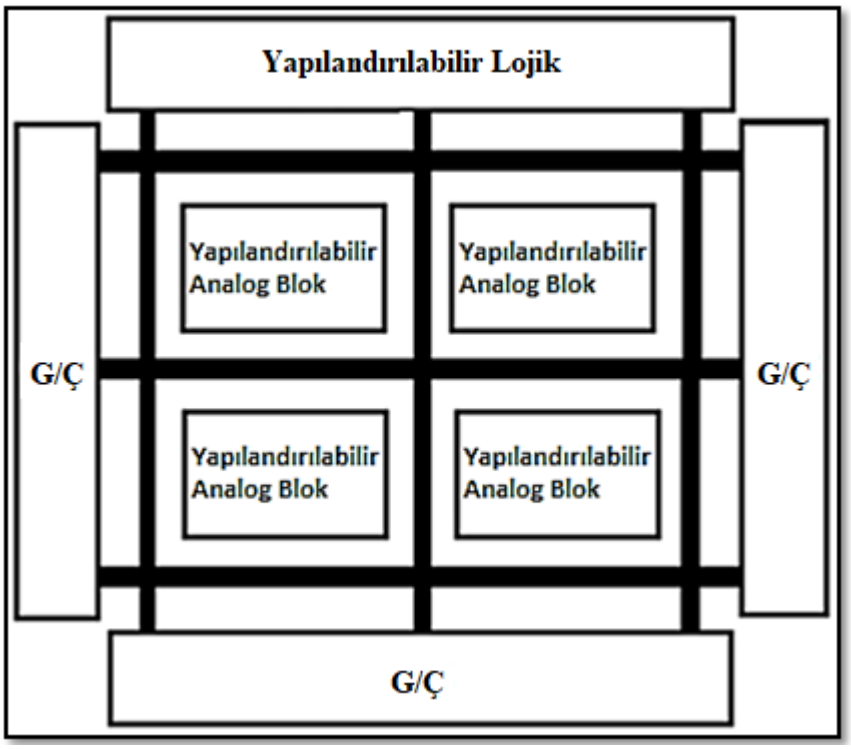
Şekil 1.2. FPAA tabanlı hızlı analog sistem tasarımı döngüsü.

FPAA' ler zaman zaman ilgi odağı olmuştur, ancak tarihsel olarak bakıldığında programlama araçlarının yetersiz oluşu ve uygulamalar için tümdevrelerdeki yapıların kapasite olarak yetersiz oluşu FPAA' lerin kullanışsız olduğunu düşündürmüş ve esnekliğini azaltmıştır. Üreticiler tarafından piyasaya sunulan tümdevre FPAA' lerin kullanılabildiği alanlar kısıtlı kalmıştır. Ancak üreticiler birden fazla FPAA' yi bir araya getirerek kapasite sorunlarının kısmen önüne geçmeye çalışmıştır. Geleneksel FPAA' ler ilk PLD' ler gibi basit sistemlere odaklanmış; düşük değerli filtreler, yükselteç ve basit sinyal işleme gibi konularda kullanılmıştır [4]. Bununla birlikte birden fazla tümdevrenin bir araya getirildiği FPAA yapıları, FPGA' lere benzemekte olup karışık sinyal ve işaret işleme, fourier analizi, yüksek kalite faktörlü filtreleme, geniş aralıkta yükselteç kazancı ve programlanabilen analog bloklar sağlayarak RF okuyucular [5], robotik [6], kablosuz bulut uygulamaları [7], uzaktan kontrol [8], hava tahmin

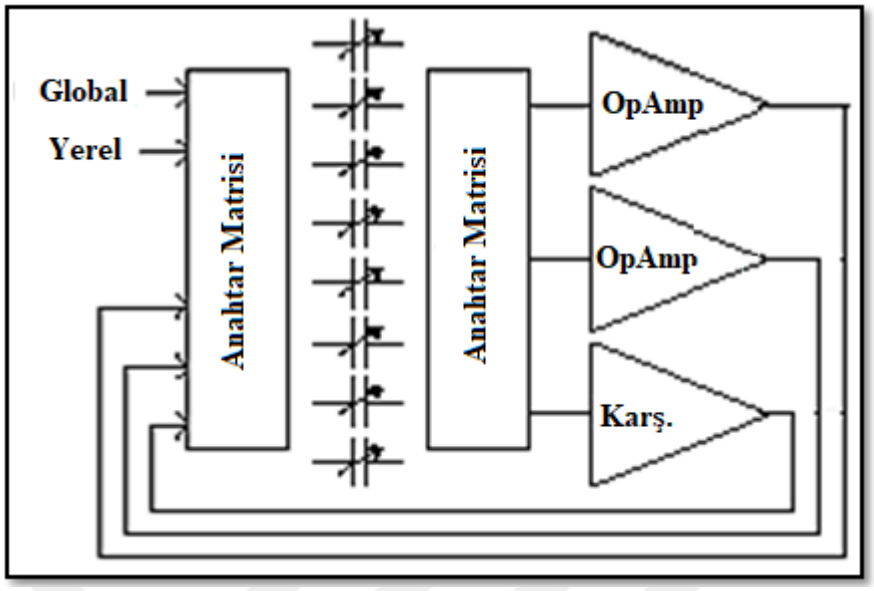
uygulamaları [9], akıllı sensörler [10-12], motor sürme [13], kaotik osilatörler [22-30], yapay sinir ağları [31], işaret işleme [32, 33], eğitim uygulamaları [34], PID kontrol uygulamaları [35] ve çeşitli alanlardaki uygulamalarda [36-49] günümüzde kendine yer bulmaya başlamıştır.

1.1. Problem Durumu ve Literatür Çalışması

Tipik bir FPAA, programlanabilir eleman matrisi olan ve genelde CAB (**C**onfigurable **A**nalog **B**lock-Yapılandırılabilir Analog Blok) diye bilinen yapıları içerir. CAB' ler programlanan dahili ağları düzenleyen birimdir. FPAA iki veya daha fazla CAB, saat sinyali kaynağı, yapılandırılabilir G/Ç (**G**iriş/**Ç**ıkış) hücreleri, yapılandırılabilir lojik ve hafıza bloğu içerir. Yazılım aracılığıyla tümdevre üzerinde özel tasarımlar koşturmak için yapılandırılabilir lojik kullanılır. CAB, dahili bağlantı ağları ve G/Ç blokları içerir [50-52]. Şekil 1.3' te dört CAB' li tipik bir FPAA' in blok diyagramı gösterilmiştir.



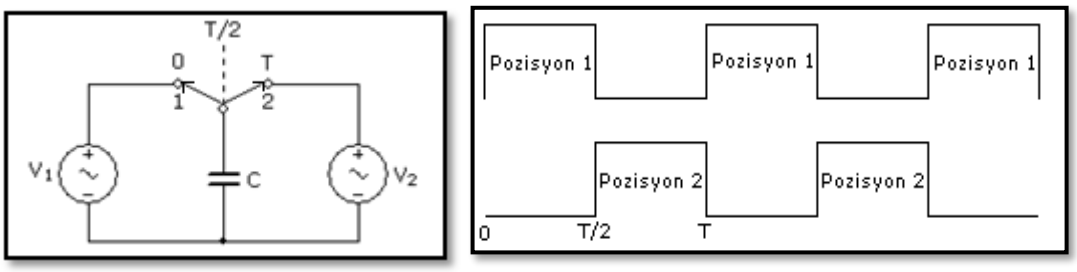
Şekil 1.3. Dört CAB' li FPAA blok diyagramı.



Şekil 1.4. CAB blok diyagramı.

Tipik bir CAB Şekil 1.4' te gösterildiği gibi bir veya daha fazla Op-Amp (**Op**erational **Amp**lifier-İşlemsel Yükselteç), kapasitör kümesi ve kontrol edilebilen bir anahtar dizisi içerir. Bu sayede kuvvetlendirme, integral alma, toplama, filtreleme, karşılaştırma, A/D (**A**nalog/**D**igital-Analog/Dijital) çevirme ve D/A (**D**igital/**A**nalog-Dijital/Analog) çevirme gibi kompleks işlemleri gerçekleştirir. Dahili bağlantı ağı, CAB' leri birbirine bağlayan lokal yollardır. Diğer CAB' leri dış dünyaya bağlayan yollar, global yollar olarak nitelendirilirler. Bu özellikler kullanılarak çoğu analog işlem oluşturulabilir. Devre tasarımında CAB' ler; integratör, fark kuvvetlendiricisi, filtreler, karşılaştırıcılar ve diğer devre türleri gibi temel analog işlemlerin hazır kütüphaneleri yardımıyla analog devre tasarımında kullanılır [53, 54].

FPAA' in gerçekleştiriminde, ayrık zamanda veya sürekli zamanda çalışma tekniği kullanılmaktadır. Sürekli zamanda çalışan FPAA' de temel olarak geçiş iletkenliğine sahip veya harici elemanlar kullanılırken, ayrık zamanda çalışan FPAA' de anahtarlamalı kapasitör veya anahtarlamalı akım teknolojisi kullanılır. Her iki FPAA' in de kendine göre avantaj ve dezavantajları mevcuttur. Örneğin, anahtarlamalı mimarilerde anahtarlanan kapının band genişliği zamanlama frekansıyla sınırlanmaktadır. Diğer taraftan sürekli zamanda çalışan modelin ise genelde programlama esnekliği, diğerine nazaran daha kötüdür [54-56].



(a) (b)

Şekil 1.5. (a) Anahtarlamalı kapasitör devresi, (b) Anahtarlara uygulanan sinyaller.

Tez çalışmasında kullanılan FPAA, CAB' deki değişken analog işlemleri yürütmek için Şekil 1.5(a)' da gösterilen anahtarlamalı kapasitör devresini kullanır, yani ayrık zamanda çalışmaktadır. Anahtarlamalı kapasitör devreleri, bir tümdevre üzerinde sadece kapasitör kullanarak değişken analog devreleri yürütmek için kullanılmaktadır. Direnç gerektiren bir devrede anahtarlanmış kapasitörler, direnç gibi yapılandırılmaktadır. Yeniden yapılandırılan anahtarlanmış kapasitörler istenen direnç değerini hızlıca değiştirebilmekte olup daha doğru ve kararlı direnç değeri gerçekleştirmektedirler. Akımın tanımı yük ve zamanla aşağıdaki gibi ifade edilmektedir:

$$I = \frac{Q}{t} \tag{1.1}$$

Denklem (1.1), akımın devreden geçen yük ile orantılı olduğunu gösterirken, Denklem (1.2) ise kapasitörlerde yük, voltaj ve kapasite arasındaki ilişkiyi göstermektedir.

$$Q = V \cdot C \tag{1.2}$$

Yukarıda verilen iki denklem birlikte organize edildiklerinde Denklem (1.3) elde edilmektedir.

$$I = \frac{C \cdot V}{t} \tag{1.3}$$

Şekil 1.5' te gösterilen anahtarlamalı kapasitör devresi incelendiğinde; devrenin bir kapasitör, (V_1) ve (V_2) olmak üzere iki bağımsız voltaj kaynağı ve iki durumlu anahtardan oluştuğu görülmektedir. Bir periyotluk zaman dilimini ifade eden (T) süresi içinde (V_1>V_2) ve (V_1) ve (V_2)' nin sabit olduğu durum incelendiğinde; (T) periyodu boyunca V_1 kaynağı tarafından üretilen akımın ortalaması (I_1) olmaktadır. Periyodun ilk

yarısı boyunca anahtar “1” pozisyonundadır. Kapasitör oldukça hızlı bir şekilde voltaj kaynağı tarafından (V_1)’ e şarj olmaktadır. Böylece, (t=0)’ dan (t=T/2)’ ye kadar kapasitörün (V_1)’ e şarj olmasıyla ortalama akım (I_1) elde edilmektedir. Periyodun ikinci yarısında, anahtar “2” pozisyonuna getirilir. Anahtarın konumu değiştirildiğinde artık (V_1>V_2)’ dir ve kapasitör hızla (V_2) voltajına deşarj olmaktadır. Ortalama akımın, (V_1) kaynağı ve periyot üzerinden hesaplanması Denklem (1.4)’ te gösterilmektedir.

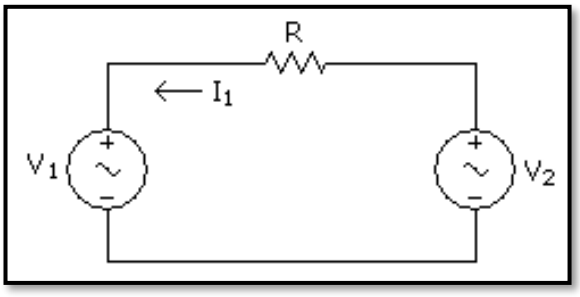
$$I_{1(ort)} = \frac{Q_{1(T/2)} - Q_{1(0)}}{T} \tag{1.4}$$

($Q_{1(0)}$), (t=0) anındaki yük olup ($Q_{1(T/2)}$)ise (t=T/2) anındaki yüktür. Sonuçta ($Q_{1(T/2)}$ - $Q_{1(0)}$) anahtar “1” konumundayken meydana gelen net yük transferini vermektedir. (T/2)’ deki kapasitör voltajı (V_1)’ e eşittir ve (0) veya (T)’ deki kapasitör voltajı da (V_2)’ ye eşittir. Söz konusu ifadeler, Denklem (1.4)’ te yerine yazıldığında ortalama akım,

$$I_{1(ort)} = \frac{C \cdot V_{1(T/2)} - C.V_{2(0)}}{T} = \frac{C \cdot (V_{1(T/2)} - V_{2(0)})}{T} \tag{1.5}$$

olmaktadır. (V_1) ve (V_2) voltajları (T) periyodu boyunca sabit kabul edildiği için Denklem (1.5) düzenlendiğinde, akım Denklem (1.6)’ daki gibi ifade edilebilmektedir.

$$I_{1(ort)} = \frac{C \cdot (V_1 - V_2)}{T} \tag{1.6}$$



Şekil 1.6. Temel direnç devresi.

Anahtarlamalı kapasitör devrelerinin direnç olarak nasıl kullanıldığıyla ilgili olarak iki voltaj kaynağı ile gerçekleştirilmiş temel direnç devresini gösteren Şekil 1.6 dikkate alınmaktadır. Ohm kanunundan akım, Denklem (1.7)’ deki gibi ifade edilmektedir.

$$I = \frac{V_1 - V_2}{R} \tag{1.7}$$

Anahtarlamalı kapasitör devresinde ortaya konan (I(ort)) akımı, direnç devresindeki (I_1) akımına eşit olmaktadır.

$$\frac{C \cdot (V_1 - V_2)}{T} = \frac{V_1 - V_2}{R} \tag{1.8}$$

Denklem (1.8), (R) için çözüldüğünde (V_1-V_2) terimleri sadeleşmektedir.

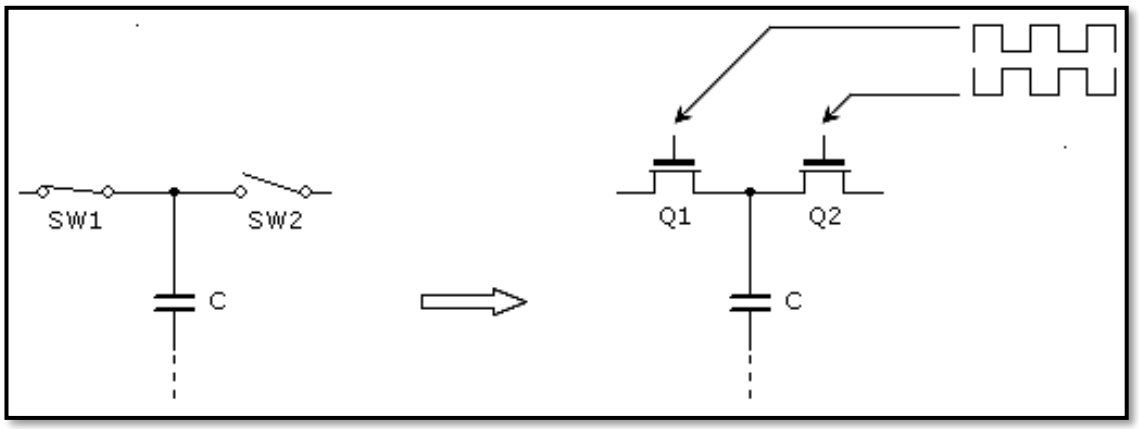
$$R = \frac{T \cdot (V_1 - V_2)}{C \cdot (V_1 - V_2)} \quad \Rightarrow \quad R = \frac{T}{C} \tag{1.9}$$

Denklem (1.9)' da görüldüğü üzere anahtarlamalı kapasitör devresi, zaman periyodu ve kapasitör değeri ile belirlenen bir direnç gibi davranabilmektedir. İki durumlu anahtarın her durumu ("1" ve "2") bir periyodun yarısını ifade ettiğinden dolayı anahtarlama işleminin frekansı değiştirilerek periyot süresi de değiştirilebilmekte olup dolayısıyla direnç değeri de değiştirilebilmektedir.

Anahtarlamalı kapasitör tekniğini kullanan FPAA' de anahtarlama frekansı, anahtar parametre niteliğindedir ve tam bir direnç değeri seçebilmek için temel yapılandırma parametresidir. ($T = 1/f$) olduğundan frekans parametreli direnç değeri Denklem (1.10)' da gösterildiği gibi olmaktadır.

$$R = \frac{1}{f \cdot C} \tag{1.10}$$

Şekil 1.5' te verilen anahtarlamalı kapasitör devresinde bahsedilen iki durumlu anahtarın tümdevre uygulamaları için uygulanamayacağı açıkça ortadadır. Elektronik devre uygulamalarında anahtarlama işlemi transistörler aracılığıyla yapılmaktadır. FPAA' lerde ise "anahtar" görevini MOSFET' ler (**M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor-Metal Oksit Yarıiletken Alan Etkili Transistör) yerine getirmektedir. Şekil 1.7' de iki durumlu anahtarların yerine kullanılmakta olan MOSFET' ler gösterilmektedir. MOSFET' lerin kontrol uçlarına (gate) uygulanan 180° faz farkına sahip sinyaller sayesinde, bir anahtar açıkken diğer anahtar kapalı durumda kalmaktadır.



Şekil 1.7. Anahtarlamalı kapasitör devrelerinde MOSFET anahtarlar.

MOSFET anahtarlarla uygulanan anahtarlamalı kapasitör tekniği ile FPAA' ler analog devre tasarımı yöntemlerini basitleştirmekte olup çoklu analog tasarımlar için tek tümdevre ile çözüm sağlamaktadırlar. Ayrıca ısıya karşı dayanıklıdırlar ve analog işlemlerde kesinlik ve doğruluğu arttırarak sistem güvenilirliğine katkı sağlamaktadırlar.

Zaman domeninde analog sinyaller iki sınıfta değerlendirilmektedirler; sürekli zamanlı sinyaller ve ayrık zamanlı sinyaller. Sinyaller arasında bu ayrımın yapılması önemlidir çünkü bu ayrım FPAA' lerin temel sınıflandırmasını oluşturmaktadır. FPAA' lerin gerçekleştiriminde ayrık zamanda çalışma ve sürekli zamanda çalışma tekniği kullanılmaktadır. Ayrık zamanda çalışan FPAA' ler anahtarlamalı kapasitör [51-53] veya anahtarlamalı akım [64] prensibine dayanmaktadır. Sürekli zamanda çalışan FPAA' ler OTA (**O**perational **T**ransconductance **A**mplifier- İşlemsel Transkondüktans Yükselteçleri) [57-60] veya CC (**C**urrent **C**onveyor-Akım Taşıyıcıları) [61, 62] temeline dayanmaktadır. Her iki alanda da akademik ve ticari çalışmalar mevcuttur [51-65].

Karışık mod yapılandırılabilir devreler ise bu iki teknolojiyi de kullanmaktadır ve girişlerinde sürekli zaman ayarlanabilir düzeltme filtresi (anti-aliasing) ünitesi içermektedir.

Sürekli zaman prensibinde, tümdevre fiziksel olarak daha az alan kaplamaktadır ve daha geniş bir band genişliği sunarak daha düşük güç tüketimi sağlamaktadır. Diğer yanda, ayrık zamanlı anahtarlamalı kapasitör tekniği daha kolay tümdevre üretimini, kolay programlanabilme özelliğini getirmekte ancak işlemler için band genişliği sınırlı kalmakta olup daha fazla tümdevre alanına ihtiyaç duymaktadır. Sürekli zaman

prensibinde yapılandırılabilir bağlantılar, CMOS (**C**omplemantary **M**etal **O**xide **S**emiconductor-Bütünleyici Metal Oksit Yarıiletken) yapılarla gerçekleştirilmektedir. Analog tasarıma ait devreler CAB' lerde oluşturulmakta olup sinyal doğruluğunun arttırılması Op-Amp ile kombine edilmiş pasif anahtar blokları ile sağlanmaktadır. Bu tasarımın avantajı, doğrusal voltajla yüksek band genişliği sunabilmesinde yatmaktadır. Diğer taraftan, her hücre için fazladan hafıza blokları gerektirmesi dezavantaj olarak görünmektedir.

Ayrık zamanlı FPAA' ler genel olarak anahtarlamalı kapasitör tekniğini kullanmaktadır. Bu tip devreler, bundan önce bahsedildiği gibi MOSFET anahtarları, kapasitör ağları ve Op-Amp içermektedir. Kazanç katları, voltaj kontrollü osilatör, filtre fonksiyonları ve modülatörler gibi analog işaret işlem bloklarında genel olarak anahtarlamalı kapasitör devreleri kullanılmaktadır. MOSFET teknolojisi; anahtarlar, Op-Amp' ler, düşük kapasitans değerine sahip kapasitörler ve düşük değerli dirençler oluşturulmasını sağlamaktadır. Bununla birlikte, bu teknoloji 1 Kohm ve üzeri direnç değerleri ile 1 nF ve üstü kapasitör değerlerini %1 doğruluk oranıyla oluşturmak konusunda yetersiz kalmaktadır.

Alan Programlanabilir Analog Diziler' e ait tasarımlar, bireysel projeler ve ticari projeler kapsamında geliştirilmektedir. Literatürde karşılaşılan FPAA tasarımlarının çoğu akademik projelere ait olmakla birlikte günümüzde ticari olarak kullanılan FPAA tasarımları da mevcuttur.

Akademik projeler kapsamında geliştilen yapılandırılabilir analog sinyal işlemcisi olan RASP, Tyson S. Hall tarafından doktora tezinde tasarlanmıştır [1]. Bu tasarım daha sonra Georgia Instute of Technology' de CADSP grubu tarafından geliştirilmiştir [55]. RASP, iki tip CAB' den oluşan otuz iki adet CAB içermektedir. Birinci tip CAB üç adet OTA, değişken kondansatör ve transistör dizisi içermektedir. İkinci tip CAB; FET (**F**ield **E**ffect **T**ransistor-Alan Etkili Transistör) tabanlı akım aynası, bir adet OTA ve iki adet Gilbert çarpıcılar içermektedir. C. M. Twigg and P. Hasler tarafından RASP' ın konuşma tanıma, ses işleme, MP3 dekoderi olarak kullanılabileceğini raporlamıştır [56].

Bir diğer akademik proje olan tasarım, Bogdan Pankiewicz ve arkadaşlarının filtre uygulamaları için geliştirdikleri FPAA tasarımıdır. Tasarım, kırk adet CAB ve programlanabilir kapasitörlerden oluşmaktadır. CAB' ler komşu CAB' ler ile

bağlantılara sahip olmakla beraber 5 x 8 matris formatında yerleştirilmişlerdir. Bir CAB' in maksimum çalışma frekansı 9 Mhz' dir [57].

Ulm Üniversitesi ve Freiburg Üniversitesi araştırmacıları farklı bir mimaride FPAA tasarımı sunmuşlardır [65]. Tasarım, altıgen plan üzerine yerleştirilmiş FPAA' lerden oluşmaktadır ve sürekli zamanda (OTA' lar ve kapasitörler) çalışmaktadır. Bu tasarımla ilgili yayımlanan raporda [59], ürün band genişliği 186 MHz olan ellibeş CAB' li devrenin tasarlandığından bahsedilmektedir.

Fernadez ve arkadaşları tarafından gerçekleştirilen tasarımda, FPAA 20 MHz civarında çalışmaktadır. Dörtlü çarpıcı ya da dördüncü dereceden log-domain filtre gibi uygulamaların gerçekleştiriminde ve test işleminde kullanılmıştır. Tasarımda log-domain prensibiyle yirmibeş adet translineer hücre bulunmaktadır. Translineer eleman olarak MOS' lar kullanılmaktadır [60].

Soliman tarafından geliştirilen tasarım, yedi adet makro hücre ile kombine edilmiş otuz adet programlanabilir dijital ikinci kuşak akım taşıyacıları içermektedir. Her hücrenin kazancı, üç bitlik komut ile kontrol edilebilmektedir. Her hücrenin çıkışı kontrol lojiği tarafından kontrol edilebilmektedir ve bu sayede farklı topolojilerin uygulanmasına imkan vermektedir. Yazarın çalışmalarında ikinci dereceden alçak/yüksek/band geçiren/band durduran filtre uygulaması gerçekleştirmiş olup filtrelerin kesim frekansları 8.8 MHz ile 11.6 MHz arasında dijital olarak ayarlanabilmektedir [61].

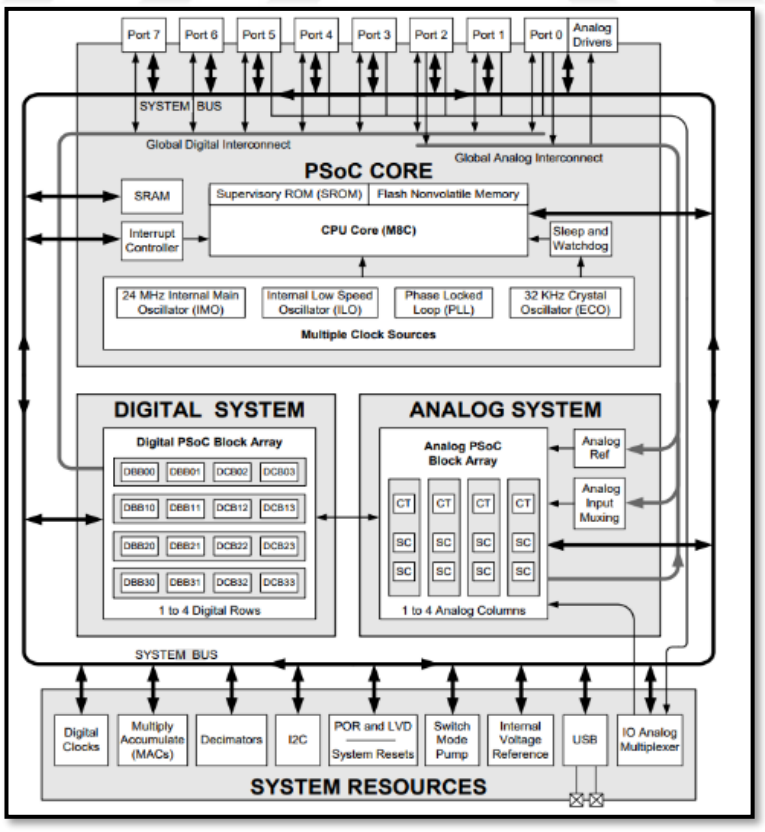
Gaudet tarafından geliştirilen FPAA tasarımı dört adet CAB içermektedir. Her bir CAB; bir akım taşıyıcısı, iki adet ayarlanabilir OTA, iki adet programlanabilir kapasitör ve bir adet buffer (tampon) içermektedir. Uygulanabilir fonksiyonlar arasında, yükseltme, integral alma, diferansiyel alma, ekleme, çıkarma ve karşılaştırma yer almaktadır. Çeşitli devre uygulamaları denendiğinde band genişliğinin 11 MHz ve 13 MHz arasında olduğu tespit edilmiş olup video işleme uygulamaları için kullanılabileceği düşünülmektedir [62].

1 MHz band genişliğine sahip olan Looby ve Lyden tarafından geliştirilen FPAA tasarımının [63] iki uygulamada kullanıldığı raporlanmıştır. Uygulamalardan birinde darbe jeneratörü olarak kullanılmış olup diğerinde bilgisayar güç kaynağını izleyen bir veri toplama devresi olarak görev yapmıştır. Sürekli zamanda çalışan bu yapı, CMOS

Op-Amp temellidir. İki tip hücre çeşidine sahiptir. İlk tip hücre; beş bit çözünürlükte programlanabilir kazanç katına sahiptir. İkinci tip hücre; anahtarlamalı geribesleme kapasitörü kullanan çıkarma işlemi yapan hücredir.

Chang tarafından geliştirilen FPAA tasarımı ayrık zamanda çalışmaktadır. Çok fonksiyonlu anahtarlamalı akım kaynakları dört faz saat sinyali kullanmaktadır. Yazarlar bu tasarımla, akım kontrollü osilatör uygulaması ve ikinci dereceden biquad filtre uygulaması gerçekleştirmiştir [64].

Ticari projeler kapsamında geliştirilen FPAA tasarımlarından olan PSoC ailesi Cypress™ tarafından üretilmiştir. PSoC, tek bir tümdevre üzerinde dijital çevresel fonksiyonlar, hafıza yapısı, mikrodenetleyici ve yapılandırılabilir analog bloklar sunmaktadır. PSoC; yapılandırılabilir dijital ve analog bloklar, yapılandırılabilir bağlantılar ve bir CPU (**C**entral **P**rocess **U**nit-Merkezi İşlem Birimi) ünitesi içerir. Daha önceden test edilen ve kütüphaneleri oluşturulan analog ve dijital yapılar PSoC kütüphanesi kullanılarak elemana yüklenebilmektedir [66].

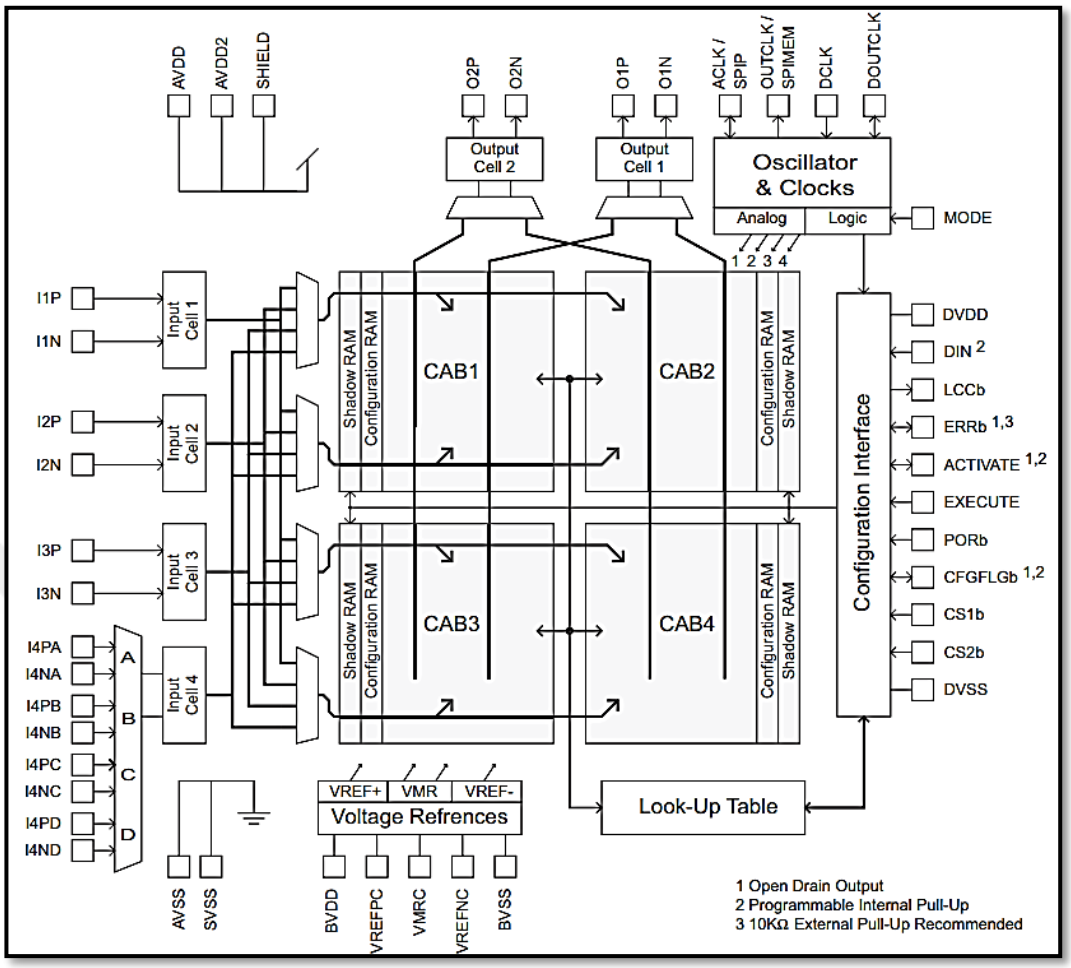


Şekil 1.8. PsoC-1 fonksiyonel blok diyagramı.

Şekil 1.8’ de blok diyagramı verilen PsoC-1 ailesi her biri Op-Amp tabanlı devreler içeren, karmaşık sinyal oluşturulmasına izin veren oniki adet yapılandırılabilir analog bloklardan oluşmaktadır. Blok diyagram incelendiğinde analog bloklar dört sütunda düşünülmektedir ve her biri bir adet sürekli zaman bloğu ile iki adet anahtarlamalı kapasitör bloklarından oluşmaktadır. Analog çevresel üniteler esnek ve yapılandırılabilir özellikleriyle özel uygulamaların ihtiyaçlarını gidermeye yöneliktir.

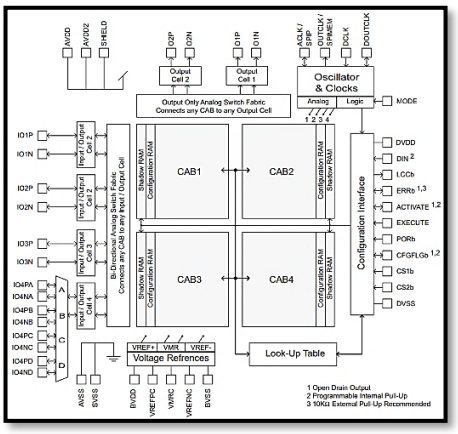
Ticari faaliyette bulunan Anadigm™ firması ise 5 Volt ve 3.3 Volt yapılandırılabilir analog diziler sunmaktadır. Bunlar Anadigm™ firması tarafından dinamik ve statik yapılandırılabilen yapılar olarak ikiye ayrılmaktadır. Statik olarak programlanabilen yapılar FPAA olarak isimlendirilmektedir ve bir konfigürasyon dizisi elemana gönderildikten sonra “reset” işlemi gerçekleştirilmesi gerekmektedir. Dinamik olarak programlanabilen yapılar da FPAA olarak isimlendirilmektedir ancak dpASP (**D**ynamically **P**rogrammable **A**nalog **S**ignal **P**rocessor) olarak da anılmaktadır. Dinamik FPAA’ ler herhangi bir konfigürasyon dizisi çalışıyor durumdayken yeni bir konfigürasyon dizisi gönderilerek programlanabilmektedir. “On-the-fly” adıyla da bilinen bu özellik dinamik programlama esnekliğini kullanıcıya sunmaktadır. Bu özellik sayesinde gerçek zamanlı uygulamalar olan sinyal ya da işaret işleme, filtreleme, veri toplama ve kapalı döngü işlemleri gerçekleştirilebilmektedir [52].

Anadigm Designer 2™ bilgisayar arayüz programı kullanılarak, tasarımcı karmaşık analog fonksiyonları yerine getirmek için daha önceden tanımlı olan CAM’ leri (**C**onfigurable **A**nalog **M**odule-Yapılandırılabilir Analog Modül) kullanır. Arayüz kullanıcı dostudur ve sürükle-bırak yöntemi sayesinde kullanımı kolaydır. Bu sayede, dakikalar içerisinde karmaşık bir analog tasarım gerçekleştirilebilmekte ve dpASP ya da FPAA elemanları programlanarak sonuçlar gözlemlenebilmektedir. Anadigm tarafından üretilen FPAA’ ler günümüzde en yaygın olarak kullanılan ticari ürünlerdir.



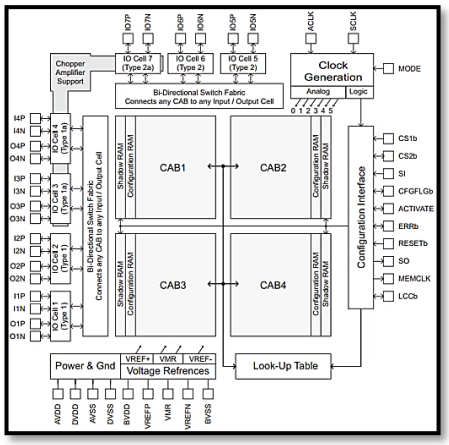
Şekil 1.9. AN120E04 fonsiyonel blok diyagramı.

Şekil 1.9' da fonksiyonel blok diyagramı gösterilen Anadigm firması tarafından üretilen AN120E04, AnadigmVortex ailesi ürünüdür. İkinci jenerasyona ait olan bu FPAA, 256 byte LUT (**L**ook **U**p **T**able-Veri Tablosu) ve 2 x 2 CAB matrise sahiptir. Anadigm firması tarafından 2016 yılına kadar bu ürün ile ilgili siparişlerin alınacağına dair açıklama yapılmış olup Vortex ailesi yerini Apex ailesine bırakmaktadır. AN120E04, FPAA' ler ile analog işaret işleme konusunda uygulama geliştirmek ve eleman ortamını tanımak için nispeten ucuz bir yoldur. 10 mm x 10 mm x 2 mm fiziksel alana sahip olan FPAA, 5 Volt ile çalışmakta olup 44 pin QFP kılıf ile piyasaya sürülmekteydi. CAB' lerin tipik çalışma frekansı 2 MHz' dir. AN120E04, AN220E04 ile pin uyumludur bu sayede, AN220 için üretilen geliştirme platformlarında ürün muadili olarak kullanılabilmektedir [52, 67].



Şekil 1.10. AN121E04 fonksiyonel blok diyagramı.

Şekil 1.10' da fonksiyonel blok diyagramı gösterilen AN121E04, altı adet G/Ç ünitesine sahiptir; dört adet ayarlanabilir G/Ç ünitesi, iki adet atanmış çıkış. AnadigmVortex ailesinden olan eleman, 5 Volt ile çalışmaktadır. 100 µVolt' tan düşük DC offset voltajı, 2 MHz band genişliği, 4x1 multiplexer, 256 bit LUT diğer özellikleri arasındadır. 10 mm x 10 mm x 2 mm fiziksel boyutlarda 44 pin QFP olarak piyasaya sürülmekteydi. Firma bu elemanın yerine AN221E04 önermekteydi ancak Apex ailesinden sonra üretimi durdurulmuş olup stoklarda kalmadığı üretici tarafından duyurulmuştur [52, 67].

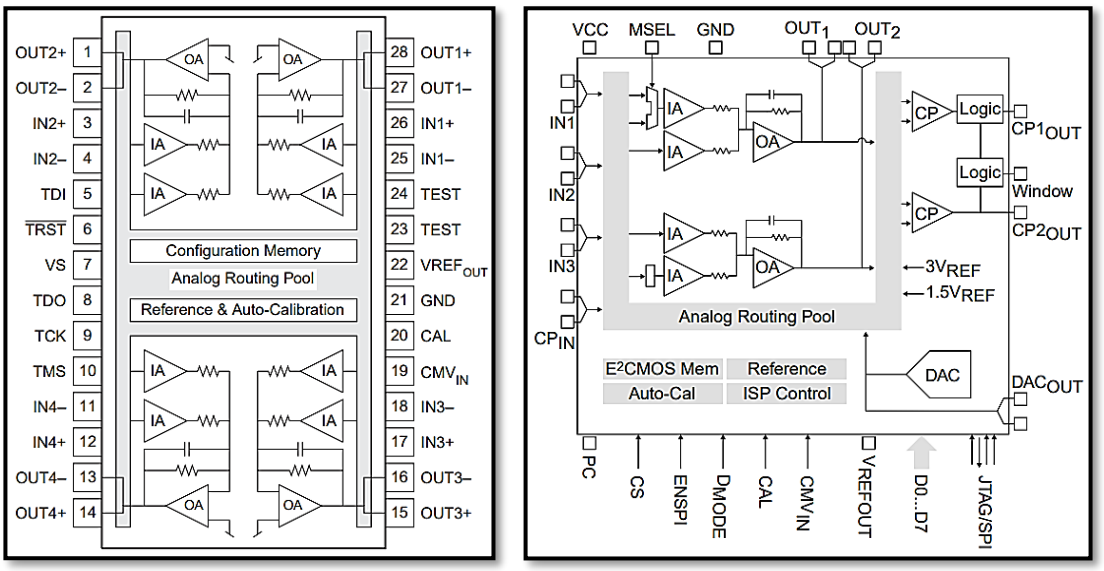


Şekil 1.11. AN131E04 fonksiyonel blok diyagramı.

Şekil 1.11' de fonksiyonel blok diyagramı gösterilen AN131E04, AnadigmApex ailesi üyesi olup yeniden yapılandırılabilir analog sinyal işlemcisidir. Günümüzde, AnadigmApex üyesi olan AN131E04 ve AN231E04' e ulaşma imkanı bulunmaktadır. Yedi adet analog G/Ç hücresine ve dört adet CAB' e sahip olan cihaz 3.3 Volt ile

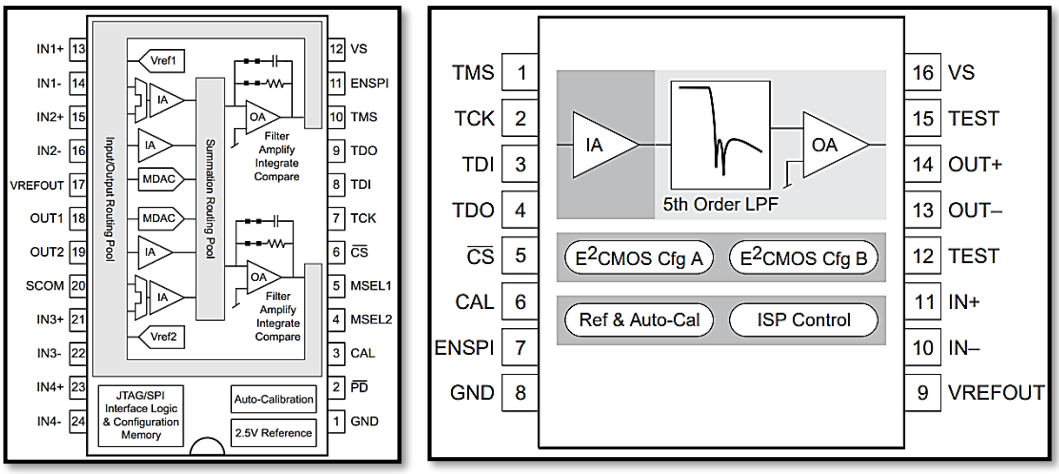
çalışmaktadır. Firmanın diğer ürünlerine nispeten AN131E04 dpASP' nin hem fiziksel boyutları küçültülmüştür hem de güç tüketimi dramatik şekilde azaltılmıştır. Eleman, 125 mW civarında güç tüketimine sahiptir. 7 mm x 7 mm x 0.85 mm fiziksel alanı olan cihaz QFN kılıfta 44 pin olarak üretilmektedir [52].

Bir diğer ticari firma Lattice tarafından yapılandırılabilir analog diziler kapsamında sunulmuş olan ispPAC (**I**n **S**ystem **P**rogrammable **A**nalog **C**ircuits) ailesi 5 adet ürün içermektedir. Bütün ürünlerdeki yapı sürekli zaman teknolojisiyle çalışmaktadır ve sistem çalışırken programlanabilmektedir. Ailedeki ürünler farklı fonksiyonelliğe sahiptirler [68]. Şekil 1.12(a)' da blok diyagramı görülen ispPAC10 elemanı lineer sinyal işleme uygulamaları için geliştirilmiştir ve yükselteç ile filtreleme fonksiyonlarına sahiptir. Filtrelerin köşe frekansları 10 Hz' den 250 KHz' e kadar ayarlanabilmektedir. Şekil 1.12(b)' de blok diyagramı görülen ispPAC20 elemanı lineer olmayan sinyal işleme uygulamaları için geliştirilmiştir ve yapılandırılabilir filtreler, karşılaştırıcılar ile multiplexerlar içermektedir. Voltaj referans kaynağı olarak 8-bit analog-dijital dönüştürücüsünden aldığı bilgiyi kullanabilir. Bloklar arasındaki global yollar tamamıyla programlanabilir yapıdadır [69].



(a) (b)

Şekil 1.12. (a) ispPAC10 fonksiyonel blok diyagramı, (b) ispPAC20 fonksiyonel blok diyagramı.



(a) (b)

Şekil 1.13. (a) ispPAC30 fonksiyonel blok diyagramı, (b) ispPAC80 fonksiyonel blok diyagramı.

Şekil 1.13(a)' da blok diyagramı verilen ispPAC30 elemanı çok fonksiyonlu işaret işleme sistemidir. Geniş aralıklı düşük offset voltajlı programlanabilir kazanç yükselteçleri ve programlanabilir filtreler ihtiva etmektedir. Toplama ve çıkarma gibi sinyal aritmetiği gerektiren işlemleri gerçekleştirebilir. Şekil 1.13(b)' de blok diyagramı görülen ispPAC80 ürünü programlanabilir beşinci dereceden sürekli zamanda çalışan aktif bir filtredir. Filtre tiplerinden olan Butterworth, Chebychev, Legendre, Elliptica, Linear Phase, Bessel gibi filtreler kazançları ve frekansları da programlanabilecek şekilde yapılandırılabilmektedir [69].

Bütün ispPAC ailesi ürünleri Lattice firması tarafından sunulan PAC-Designer™ programı aracılığıyla programlanabilmektedir. Tek bir ortamda grafiksel olarak tasarıma imkan veren bu program, şematik ekran penceresiyle ispPAC içerisindeki bütün programlanabilen yapılara ulaşma imkanı tanır. 2007 yılında firma tarafından ispPAC ailesi ürünlerin üretimi durdurulmuştur ve bu ürünlerin yerine geçebilecek muadil ürünler üretilmemektedir.

Ticari olarak piyasaya sürülmüş olan ancak devamı üretilmeyen birkaç FPAA ailesi daha vardır. Bunlar; Zetex Semiconductors tarafından üretilmiş olan TRAC ailesi buna bir örnektir [70]. Sürekli zamanda çalışan bu yapı yirmi adet basit yapılandırılabilir analog blok içermektedir. Diğer bir örnek ise Motorola firması tarafından üretilen MPAA020 ürünüdür [71].

Tablo 1.1. Ticari olarak üretilen FPAA aileleri

Üretici	**Ürün**	**Çalışma Modu**	**Band Genişliği**	**Hücre Sayısı**	**Teknoloji**
Motorola	MPAA020	Anahtarlamalı Kapasitör	200 KHz – 1 MHz	20	CMOS
Zetex	TRAC	Sürekli Zaman	1 MHz	20	BiCMOS
Lattice	ispPAC	Sürekli Zaman	15 MHz	4	CMOS
Cypress	PSoC	Sürekli Zaman / Ayrık Zaman	8.9 MHz	12	CMOS
Anadigm	FPAA / dpASP	Ayrık Zaman	470 Khz – 20 Mhz	4	CMOS

Bu ürün anahtarlamalı kapasitör tekniği ile çalışan yirmi adet hücre içermektedir. Ürün statik olarak programlanma özelliğine sahip olmasına rağmen bazı çalışmalarda dinamik olarak programlanmıştır [72]. Ticari olarak üretilen FPAA ürünlerine ait özellikleri gösteren özet Tablo 1.1' de verilmiştir.

Bir tümdevre tasarımında dikkat edilmesi gereken topolojik nedenlerden ve uygulamaya yönelik üretilen FPAA tasarımlarından dolayı Tablo 1.1 FPAA' ler arasında karşılaştırma amacıyla kullanılmamalıdır. Tablo 1.1 özet niteliğindedir.

Günümüzde yaygın olarak kullanılan Anadigm ürünlerinden de firma tarafından üretimi durdurulanlar olmuştur. Anadigm firması tarafından üretilen ilk FPAA, AN10E40 olarak isimlendirilmiş olup yirmi adet yapılandırılabilir analog blok içermektedir. Bu ürünler ilk jenarasyon FPAA ürünleri olup günümüzde üretimi yapılmamaktadır. Anadigm, ikinci jenerasyon FPAA ürünleri olarak 5 Volt besleme gerilimi ile çalışan AnadigmVortex' i piyasaya sunmuştur. AnadigmVortex ürünlerinden en popüleri AN221E04 olmuştur. Firma söz konusu ürünün üretimini 2014 yılında durdurmuştur. AnadigmApex ailesi olarak da bilinen üçüncü jenerasyon 3.3 Volt ile çalışmakta olup

ikinci ve üçüncü jenarasyon FPAA' ler ile arasındaki en önemli fark besleme voltajıdır. 5 Volt yerine 3.3 Volt kullanımı ile seviye kaydırıcı kullanılmasına gerek kalmamıştır. AnadigmApex ailesinin günümüzde mevcut olan iki üyesi, AN131E04 ve AN231E04, son teknolojiye sahip programlanabilir analog yapılar olup her ikisi de yedi G/Ç hücresi ve dört adet yapılandırılabilir analog blok sağlamaktadır. Üçüncü jenerasyon; dinamik programlama özelliği, gelişmiş analog devre fonksiyonları ve mikrodenetleyici ya da mikroişlemci ile kontrol edilebilmesi sayesinde iyi ve geliştirilmiş bir performansa sahip olmuştur. Bu tez çalışmasında da AnadigmApex üyesi AN231E04 kullanılmasının uygun olacağı düşünülmüş olup platform tasarımı bu eleman etrafında şekillendirilmiştir.

1.2. Araştırmanın Amacı

Bu tez ile önceki bölümde de bahsedilen ve literatür taramasının genişletilmesi ile belirlenen uygulama alanlarına hitap eden, en az dört adet FPAA bloğu içeren, istenildiğinde anahtarlar yardımıyla ikili, üçlü ya da dörtlü olarak FPAA' lerin kullanılmasına izin veren, konu ile ilgili kendini eğitmek isteyenlere kullanıcı dostu bir kullanım sunan, kapasite sorunlarının önüne tamamen ya da kısmen geçen esnek bir platformun oluşturulması hedeflenmektedir. Ayrıca çok amaçlı platform ile ilgili olarak, FPAA uygulama alanlarının spefisik ihtiyaçlarına göre gerekli olabilecek modüller belirlenerek (analog sensörler, video işleme uygulamaları için giriş-çıkışlar, LCD, yapay sinir ağları için genişleyebilen bir yapı vb.) tek bir platform üzerinde ya da genişleyebilen/modüler bir yapı metodolojisinin geliştirilmesi hedeflenmektedir. Böylece, hem sinyal işlemek isteyen tasarımcılar hem yapay sinir ağları gibi karmaşık devre uygulamaları geliştirmek isteyen tasarımcılar hem de sadece konuyu öğrenmek adına basit uygulama geliştirmek isteyen kitlelere tek bir platform ile bu imkanın sunulabileceği öngörülmektedir. Üretici firmaların sunmuş oldukları geliştirme platformları, sadece konuya ilgi duyan kitleyi hedef almakla beraber kapasite problemleri sebebiyle gelişmiş uygulamalar için uygun platformu sunamamaktadır. Farklı konularda daha geniş kapasiteye ihtiyaç duyan sistemler için bu yapılar kapasite ve gerekli donanımlar bakımından yetersiz kalmaktadır.

1.3. Araştırmanın Önemi

Günümüzde, Anadigm firması tarafından üretilen ikinci ve üçüncü jenerasyon FPAA' ler ve geliştirme platformları akademik ve ticari uygulamalarda en yaygın olarak kullanılan ticari ürünlerdir. Anadigm firmasının üçüncü jenerasyon dinamik programlama (on-the-fly) özelliğine sahip FPAA ürünlerinden olan AN231E04 tümdevresinde dört adet CAB bulunmaktadır. Her bir CAB' de iki adet Op-Amp, bir adet karşılaştırıcı, programlanabilen kapasitör bloğu ve saat sinyali üreteçleri kaynak olarak sunulmakta olup literatürde "FPAA kapasitesi" olarak anılmaktadır. Bir adet FPAA içerisinde sunulan bu yapılar; integral alma, türev alma, toplama, çıkarma, yükselteç ve filtreleme gibi işaret işleme uygulamalarında sıkça kullanılan temel analog işlemleri yerine getirmektedir. Söz konusu yapılar, yapay sinir ağları gibi karmaşık devre uygulamalarında kapasite olarak yetersiz kalmaktadır.

Kapasite problemlerinin önüne geçmek için üretici firma tarafından ikili ve dörtlü FPAA tümdevrelerine sahip geliştirme platformları sunulmaktadır. FPAA tabanlı karmaşık devre uygulamaları geliştirmek isteyen tasarımcılar bu platformlara ihtiyaç duymaktadır. Platformların kapasite sorunlarına kısmen çözüm getirmesi avantaj olarak görünmekle birlikte mikrodenetleyici tabanlı benzer geliştirme platformlarına nazaran yüksek maliyetleri, platformların birbiri arasında zincir yapısına izin vermemesi ve basit bir uygulama geliştirmek için bile çok sayıda atlama ile konfigürasyon yapılması gerekliliği dezavantaj olarak görünmektedir. Literatürde FPAA' lerin kapasite sorunlarına çözüm getiren bireysel çalışmalar mevcut olmakla birlikte bu çalışmalar özel uygulamalarda kullanılmak üzere tasarlanmış olup esnek bir yapıya sahip değildir.

Çok amaçlı FPAA tabanlı bir platformun öz kaynaklar ile geliştirilmiş olması, hem konuya ilgi duyanları uygulama geliştirme bakımından cesaretlendirecek hem de dijital teknolojinin başı çektiği son yıllarda analog teknolojinin de önemine vurgu yaparak, kitleleri analog devre tasarımına yönlendirme konusunda teşvik edici olacaktır. Konuyu önemli kılan diğer hususlar ise; ciddi anlamda performans ve kapasite gerektiren sistemler geliştirmek isteyen kitlelere bu imkanı verebilecek tek bir platformun olması, konuya ilgi duyanları herhangi bir geliştirme platformunun yanında diğer çevresel elemanlarla uğraşmaktan kurtararak sadece tasarımına odaklanabilmesidir.

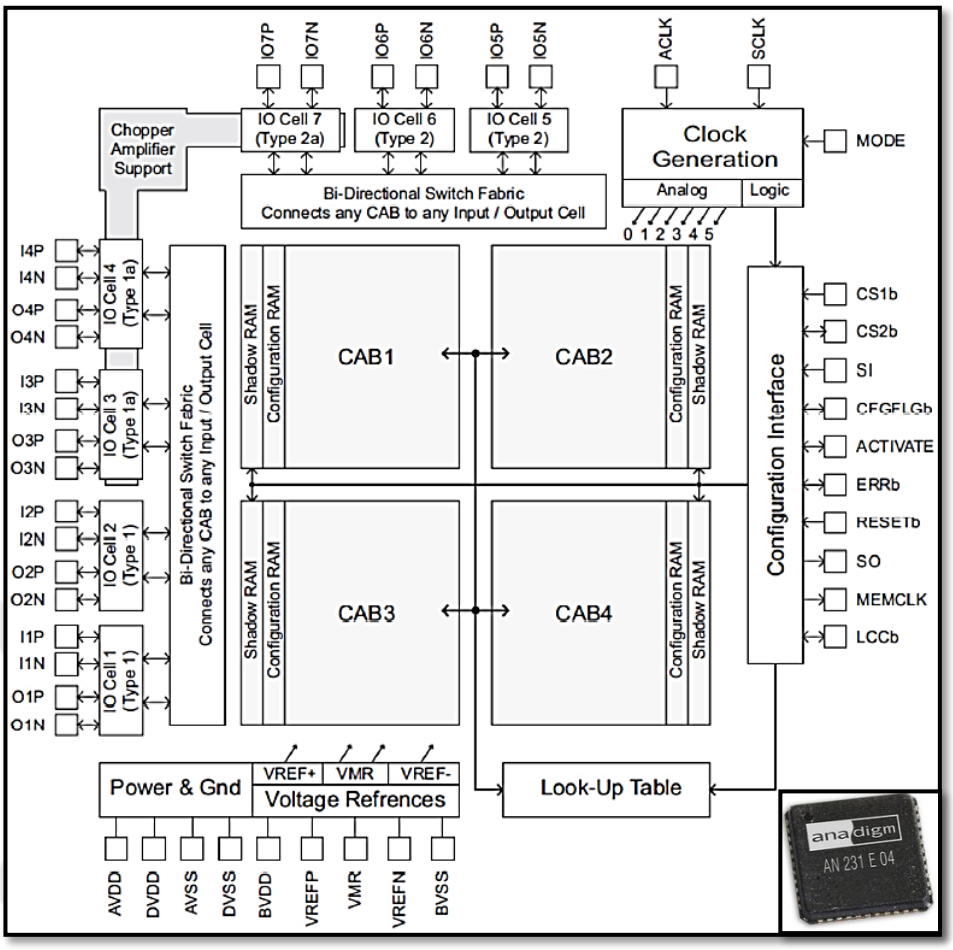
2. BÖLÜM

AN231E04 TÜMDEVRESİ ve ÇOKLU YAPI KONFİGÜRASYONU

2.1. Genel Mimari

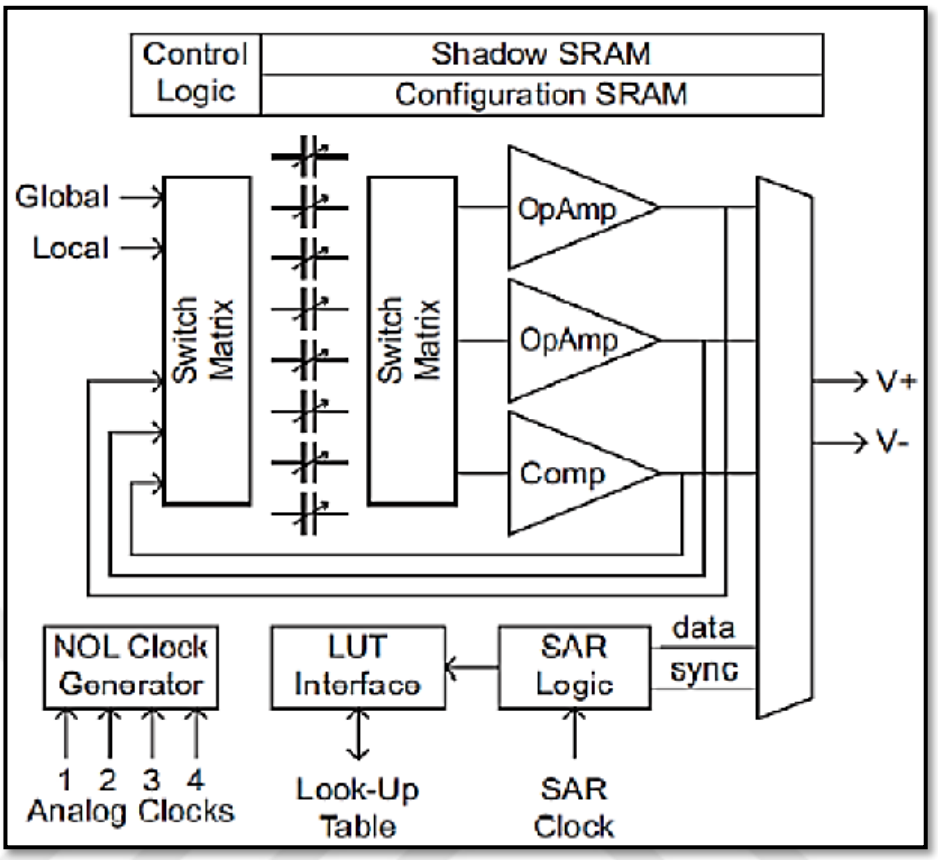
AN231E04, bütün sinyal işleme işlemlerini G/Ç hücrelerinde ve CAB' lerinde gerçekleştirmektedir. Bu yapılar anahtarlamalı kapasitör tekniği ile birbirine bağlıdır ve eleman EEPROM (**E**lectronically **E**rasable **P**rogrammable **R**ead **O**nly **M**emory-Elektronik Silinebilir Programlanabilir Salt Okunur Bellek) ya da mikrodenetleyici tarafından programlanabilmektedir. SRAM (**S**tatic **R**andom **A**ccess **M**emory-Durağan Rastgele Erişimli Bellek) tabanlı olan AN231E04 dinamik programlama özelliği sayesinde, çalışır durumdayken kısmen ya da tamamen tekrar programlanabilmektedir. Diğer anlamda, bir konfigürasyon verisi FPAA üzerinde çalışırken bir mikrodenetleyici tarafından gönderilen yeni konfigürasyon verisi "reset" işlemine gerek duymadan tek saat sinyali çevriminde işletilmeye başlanmaktadır. Bu özellik, gerçek zamanlı ve güncellenebilen sistemler geliştirmeyi olanaklı kılmaktadır [52].

AN131E04 de SRAM tabanlıdır ve dinamik olarak programlama özelliğine sahiptir ancak yeni konfigürasyon verisi gönderildiğinde, cihaz bunu işletebilmek için "reset" işlemine ihtiyaç duymaktadır. Analog işaret işlemlerinin çoğunluğu CAB' lerde ve tamamı diferansiyel anahtarlamalı kapasitör devrelerle gerçekleştirilir. Her iki elemanda da LUT (**L**ook **U**p **T**able-Veri Tablosu) bulunmaktadır ve CAB' lerden LUT' a erişim sağlanabilmektedir. Bu sayede keyfi transfer fonksiyonları oluşturulabilmekte ve G/Ç hücrelerine yansıtılabilmektedir. Bir referans voltaj jeneratörü her bir CAB için referans voltajı oluşturmaktadır ve bu voltaj harici pinlere de verilmektedir [52].



Şekil 2.1. AN131E04 ve AN231E04 fonksiyonel blok diyagramı [52].

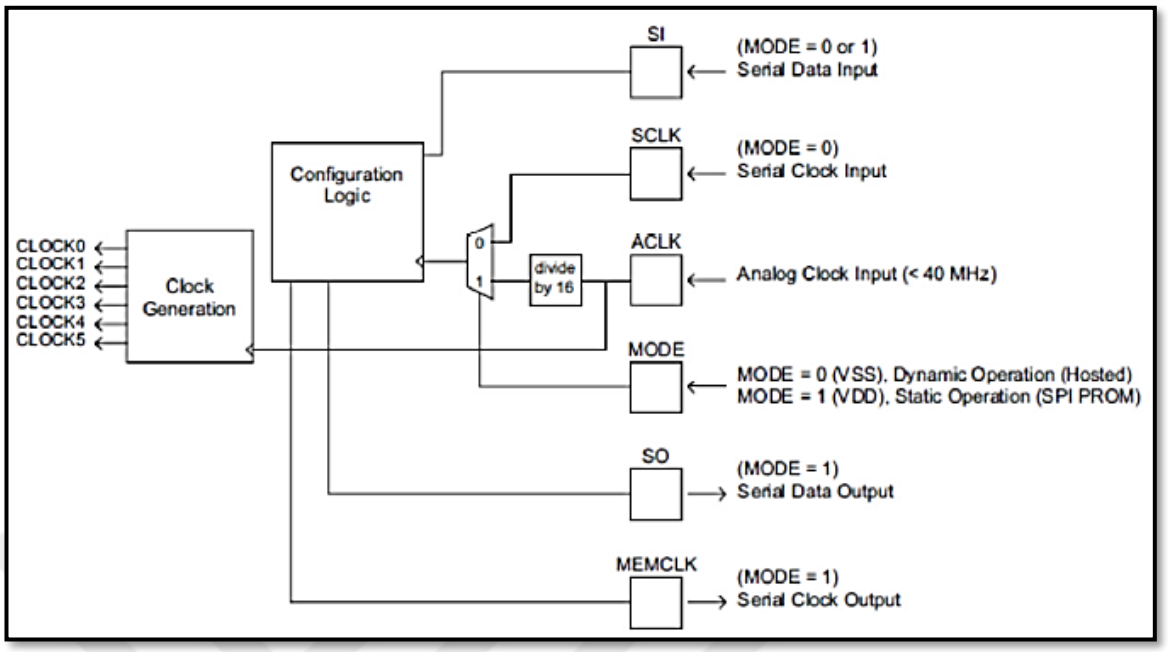
Şekil 2.1' de fonksiyonel blok diyagramı verilen FPAA' in G/Ç hücrelerinin her ikisi de aktif ve pasit devrelere sahiptir. Bu devreler sayesinde elemana direkt sinyal girişi ve elemandan sinyal çıkışı, aktif filtre geliştirilmesi, örnekleme ve tutma devreleri, dijital giriş ve dijital çıkışlar sağlanmaktadır. Bazı G/Ç hücreleri daha basit yapıdadırlar ve direkt olarak analog sinyal girişi uygulanabilir ve analog sinyal çıkışı alınabilir. Ayrıca bu hücreler, dijital giriş, dijital çıkış ve referans voltaj çıkışı olarak da kullanılabilir. G/Ç hücreleri, düşük enerjiye sahip giriş sinyallerini daha doğru yükseltmeye imkan veren chopper yükselteçlerine sahiptir [52]. Analog işaret işleme adımlarının çoğu Şekil 2.1' de açıkça görülebilen yapılandırılabilir analog blok olarak dilimize çevrilen CAB' lerde gerçekleşmektedir. Anahtarlamalı kapasitör devre teknolojisine sahip olan CAB' ler sinyalleri işlemektedir. Her bir CAB kaynak olarak; iki adet Op-Amp, bir karşılaştırıcı, programlanabilen kapasitör bloğu ve saat sinyali kaynakları içerir. Şekil 2.2' de bir CAB' in fonksiyonel blok diyagramı görülmektedir.



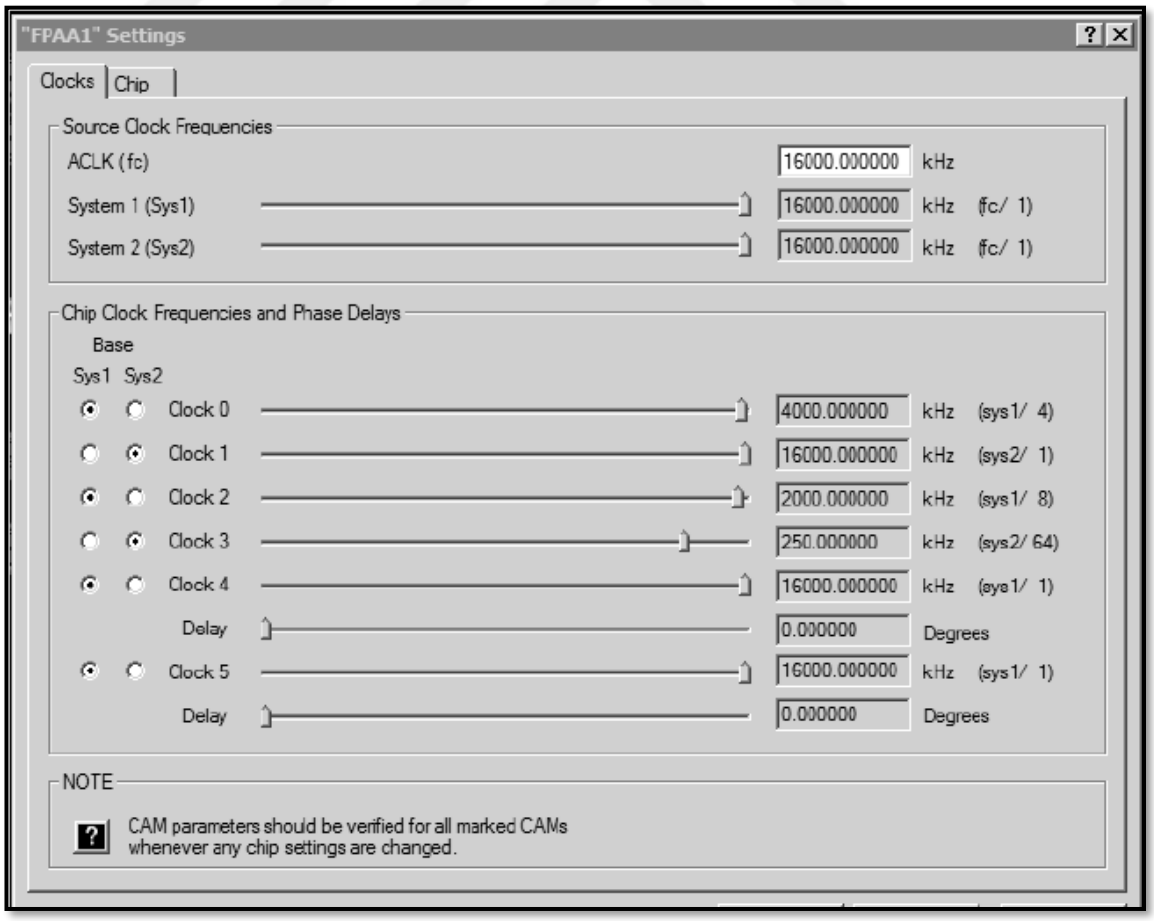
Şekil 2.2. CAB' e ait fonksiyonel blok diyagramı [52].

Anahtarlamalı kapasitör tekniği ile sinyal işleme işlemlerinde, kapasitör grubundaki kapasitör değerlerinin önemi olmamakla birlikte önem arz eden husus değerlerin birbirine oranıdır. CAB' lerde gerçekleştirilen işlemlerde sinyal doğruluğunu arttırmak için diferansiyel sinyaller kullanılmaktadır.

AN231E04 içerisinde gerçekleştirilen analog işlemlerin ihtiyaç duyduğu saat sinyalleri, elemana ait analog saat sinyali (ACLK) pininden sağlanan saat sinyalinden üretilmektedir. *ACLK*' dan sağlanan sinyal iki temel saat sinyaline (SYS1 ve SYS2) dönüştürülmektedir. Dönüştürülme işlemi 1 ile 512 arasında bölme oranını sağlayabilen bölücü yardımıyla gerçekleştirilmektedir. Bu iki sistem saat sinyali, Clock0' dan Clock5' e kadar isimlendirilen ekstra altı adet yerel saat sinyaline dönüştürülmektedir. Bu altı yerel saat sinyali kaynağı, SYS1 ya da SYS2 sistem saat kaynağını temel saat kaynağı olarak kullanabilmektedir. AN231E04' te saat sinyali üretimine ait blok diyagramı Şekil 2.3' te verilmektedir.



Şekil 2.3. AN231E04 saat sinyali üretimi fonksiyonel blok diyagramı.



Şekil 2.4. AN231E04 için temel saat sinyali ayarları.

Şekil 2.4’ te ise Anadigm Designer 2™ bilgisayar arayüz programında AN231E04 için gelen default saat sinyali ayarları gösterilmektedir. Temel iki sistem saat sinyaline sahip olmak, tek bir FPAA içerisinde birbiriyle ilişkisi olmayan analog sinyaller yaratmaya ve işlemeye yaramaktadır. Anahtarlamı kapasitör tekniğinde frekans temel ögelerden biridir ve devrelerin fonksiyonlarını yüksek doğrulukla yerine getirebilmesi için frekans değerlerinin belirli sınırlar içerisinde tutulması gerekmektedir. Bu sebepledir ki üretici firma olan Anadigm, ürünlerine 40 Mhz‘ den düşük analog saat sinyali (ACLK) uygulanması konusunda uyarıda bulunmaktadır.

Verileri geçici bir süre hafızada tutabilen SRAM, üç bölgeden oluşmaktadır. İlk bölge Shadow SRAM (Gölge SRAM) olarak anılmaktadır; ilk konfigürasyon ya da çalışma sırasında gönderilen yeni konfigürasyon önce bu bölgeye yazılmaktadır. Yapılandırma verileri konfigürasyon SRAM bölgesine yazılmadan önce geçici bir süre bu bölgede tutulmaktadır. İkinci bölge Konfigürasyon SRAM olarak anılmaktadır ve görevi, analog sinyal işleme görevlerini yerine getiren devrelerin davranışlarını kontrol etmektir. Shadow SRAM’ den Konfigürasyon SRAM’ e veri aktarımı tek bir saat sinyalinde gerçekleştirilmektedir. SRAM hafıza yapısına ait üçüncü bölge ise Look-up-Table (LUT)’ a ayrılmıştır.

AN231E04, hafıza yapısı içerisinde bir LUT bölgesi içermektedir. LUT, konfigürasyon SRAM bölgesindeki yazmaçlara yazılabilen keyfi değerler sağlayabilmektedir. Bir CAB ve bir LUT kombinasyonel kullanımı ile keyfi değerlere sahip lineer olmayan istenen dalga formları da oluşturulabilmektedir.

AN231E04 içerisinde CAB’ ler 8 bitlik SAR tipi analog dijital dönüştürücüye sahiptir. SAR-ADC yapısı, 1’ e 16 oranında olan iki saat sinyaline ihtiyaç duymaktadır. Düşük frekanslı saat sinyali (Clock A), analogdan dijitale olan dönüşümlerin ne sıklıkla meydana geleceğini belirlemektedir. Yüksek frenkanslı saat sinyali (Clock B) ise, ADC girişlerindeki dönüşümün kendisi için kullanılmaktadır. SAR-ADC bloğu çıkışında elde edilen değerler ile doğrudan LUT’ a ait olan yazmaçlar adreslenebilmektedir ya da doğrudan CAB’ lere yönlendirilebilmektedir. Dönüşüm sonucunda elde edilen her sonuç LUT tarafından adres verisi olarak yorumlanabilmektedir.

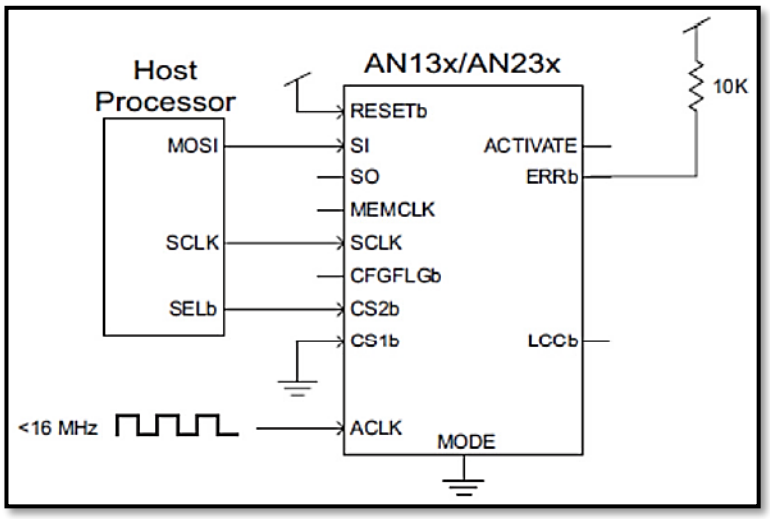
2.2.Yapılandırma Arayüzü Bağlantıları

AN231E04' te bulunan analog sinyal işleme devrelerinin davranışının nasıl olacağı geçici SRAM hafızasında tutulan konfigürasyon verisi tarafından belirlenmektedir. "Power-on-Reset" durumunda (elemana ilk enerji verildiğinde), FPAA kendisini "reset" işlemine tabi tutar ve kendi hafızasını temizleyerek, başlangıç için hazır hale gelir. Bir kere "Power-on-Reset" işlemi gerçekleştirilip bittiğinde, tümdevre artık herhangi bir konfigürasyon verisini almak için hazır hale gelmektedir. Bu işlemden sonra tümdevreye yüklenen konfigürasyon, ilk konfigürasyon (Primary Configuration) verisi olarak anılmaktadır. AN131E04 ise, sadece ilk konfigürasyonları kabul etmektedir. Yani elemana, yeni konfigürasyon verisi gönderildikten sonra yeni yapılandırma ayarlarını aktif etmek için "reset" işlemine ihtiyaç duymaktadır. Diğer yanda, AN231E04 "reset" işlemine ihtiyaç duymadan yeni konfigürasyon verisini aktif etmektedir [52].

Eleman, dış dünya ile SPI (**S**erial **P**eripheral **I**nterface) protokolü üzerinden haberleşmektedir. Bu haberleşme sırasında yapılandırma arayüzü kendisini "slave" ya da "master" olarak tanıtmaktadır. Eğer "master" olarak tanımlanırsa, geçici olmayan bir hafıza biriminden (EEPROM vb.) otomatik olarak konfigürasyon verisini alabilmektedir. Eğer "slave" olarak tanımlanırsa, SPI çevresel ünitesine sahip bir mikrodenetleyiciden (master) konfigürasyon verisi gönderilebilmektedir [52].

2.2.1. Dinamik Programlama Yapılandırma Bağlantıları

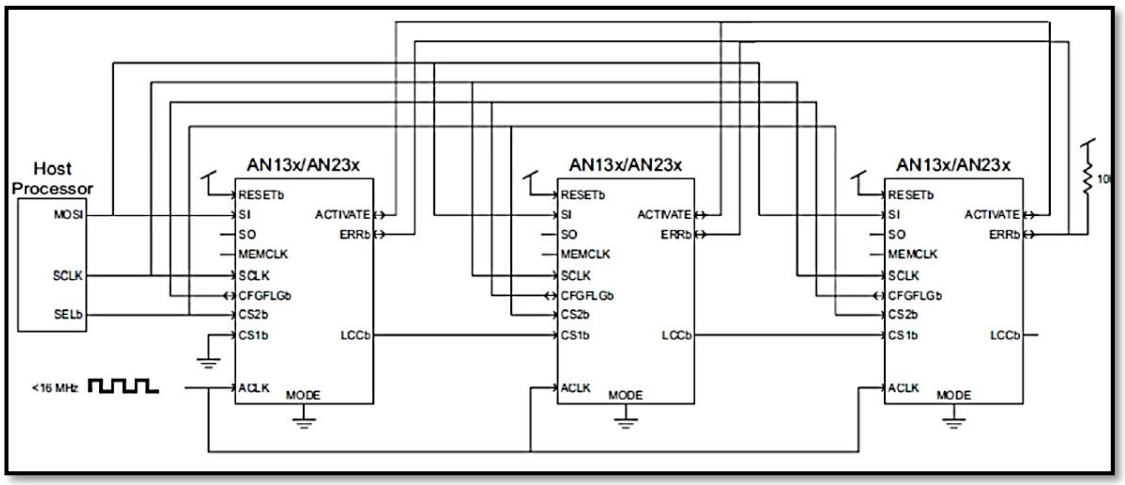
Dinamik programlamada, bir mikrodenetleyici (master) konfigürasyon verisini SPI haberleşme protokolünü kullanarak FPAA' ye göndermektedir. Bir kazanç sayısının değişimi ya da bir filtrenin köşe frekansı gibi basit bir veri de haberleşmenin konusu olabilmektedir. Şekil 2.5' de "master" görevindeki bir mikrodenetleyicinin "slave" görevindeki bir FPAA ile bağlantısı sunulmaktadır.



Şekil 2.5. Mikrodenetleyici ve FPAA dinamik yapılandırma bağlantısı.

"Power-on-Reset" durumundan sonra FPAA kendisini başlangıç için hazır hale getirmektedir. Başlangıç durumunda bekleyen eleman artık ilk konfigürasyon verisini almak için hazırdır. FPAA' yi yapılandırabilmek için öncelikle mikrodenetleyici CS2b pinini "lojik 0" a çekmektedir ve ardından MOSI (**M**aster **O**ut **S**lave **I**n) seri port çıkışından seri olarak konfigürasyon verisini göndermektedir. Konfigürasyon verisinin gönderilmesinden sonra, FPAA normal olarak analog işaret işlemeye başlamaktadır.

Birden fazla FPAA' yi bir mikrodenetleyici ile yönetebilmek için her elemanın saat sinyali ve seri veri girişlerini birbirine bağlamak gerekir. Şekil 2.6' da paralel yapıda olan bu bağlantı gösterilmektedir. FPAA zinciri oluşturulmak istendiğinde, bir önceki FPAA' in LCCb pini bir sonraki FPAA' in CS1b pinine bağlanmaktadır. Bu bağlantı sayesinde, bir mikrodenetleyiciden konfigürasyon verisi gönderildiğinde FPAA' lerden biri yapılandırılırken diğeri veriyi alamayacak durumda tutulmuş olmaktadır. Bu bağlantıya, CFGFLGb pinlerinin de birbirine bağlanmasıyla eşlik edilmektedir. Bu sayede, hangi FPAA' in yapılandırılacağı ile ilgili olarak mantıksal adresleme yapılır ve ilgili FPAA veri girişi/çıkışı için aktif hale getirilmektedir. Böyle bir yapının varolması sayesinde, bütün FPAA zinciri mikrodenetleyici tarafından tek bir seçme pini ile kontrol edilebilmektedir. Herhangi bir FPAA zincirinde, CFGFLGb pinlerinin birbirine bağlanması zorunludur. ACTIVATE ve ERRb düğümleri, FPAA' de bulunan analog devrelerin aktif edilmesi ve yapılandırma esnasında hata yakalamak için kullanılmaktadır.

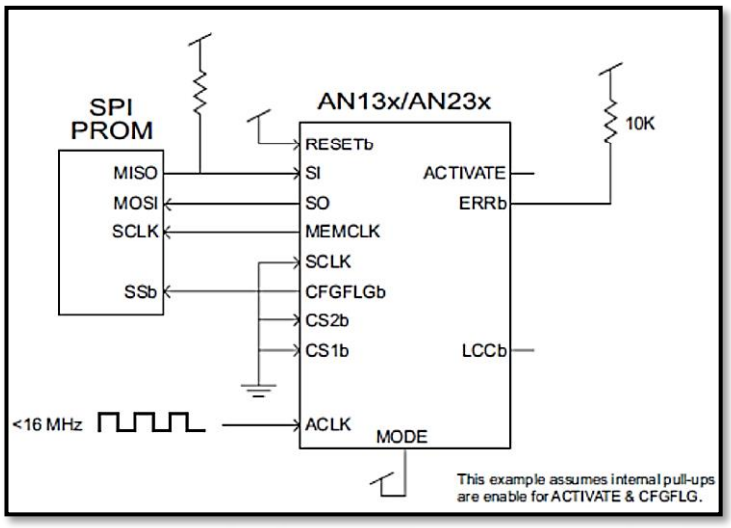


Şekil 2.6. Bir mikrodenetleyici ve birden fazla FPAA yapılandırma bağlantısı.

MODE pininin toprağa bağlanmasıyla konfigürasyon arayüzü kendisini SPI (**S**erial **P**eripheral **I**nterface) haberleşme için slave olarak tanıtmaktadır. Konfigürasyon süreci mikrodenetleyici tarafından yazılımsal olarak kolayca kontrol edilebilir duruma gelmektedir ve seri olarak veri FPAA' ye gönderilmektedir. Programlanabilir bir analog yapının esas gücü dinamik olarak programlanabilmesinden gelmektedir. Aslında, Anadigm ürünlerinin en faydalı ve kullanışlı tarafı dinamik olarak programlanabilmesidir. Dinamik programlama özelliği, daha önce de bahsedildiği üzere AN131E04' te yoktur ancak AN231E04' te vardır. Bu tez çalışmasında da AN231E04 kullanılmasının en önemli sebebi budur.

2.2.2. Statik Programlama Yapılandırma Bağlantıları

Statik programlamada, bir "Power-on-Reset" işlemi sonrasında FPAA otomatik olarak SPI haberleşme protokolü ile kendisine bağlı olan bir ROM' dan (EEPROM, PROM vb.) konfigürasyon verisini almaktadır. Şekil 2.7 ' de "master" görevindeki bir FPAA ile "slave" görevindeki bir ROM' un bağlantısı sunulmaktadır. Bir "Power-on-Reset" işlemi sonrasında FPAA, CFGFLGb pinini "lojik 0" seviyesine çekmektedir ve FPAA' in SO (**S**eri **O**ut) çıkışından "oku" komutu ROM' a gönderilmektedir. ROM' dan gelen cevap dizisi FPAA' in SI (**S**erial **I**n) okunarak konfigürasyon işlemi tamamlanmaktadır. Bu sürecin tamamlanmasıyla herhangi bir işleme gerek kalmadan eleman anolag sinyal işlemeye başlamaktadır.



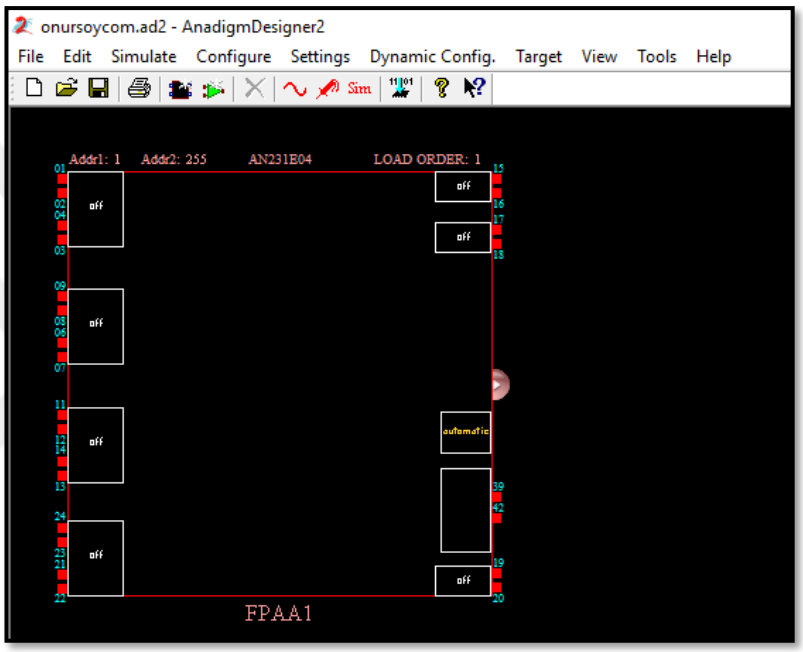
Şekil 2.7. Mikrodenetleyici ve FPAA statik yapılandırma bağlantısı.

Bu en kolay kullanım modeli olup FPAA otomatik olarak "Power-on-Reset" işlemini algılamaktadır, kendisini başlangıç durumu için hazır hale getirmektedir, ROM' dan konfigürasyon verisini okumakta ve analog sinyali işlemeye başlamaktadır. Bu işlemler sırasında bir hata oluşursa bütün süreç tekrarlanmaktadır.

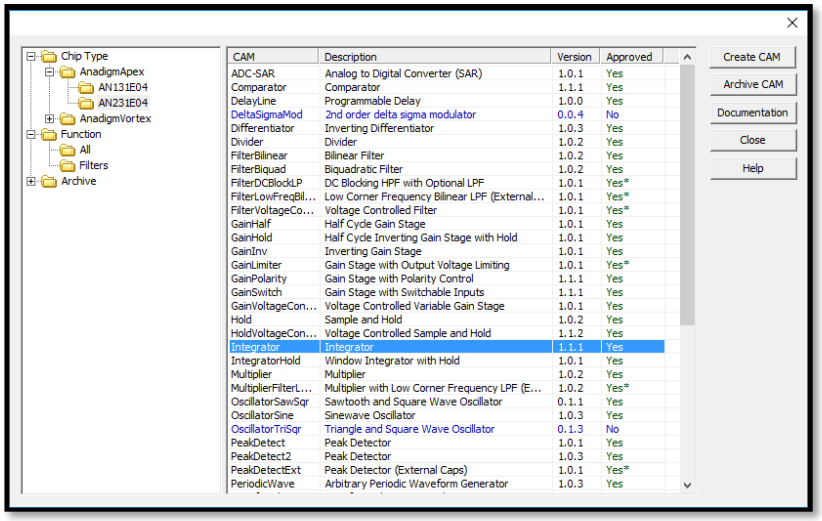
2.3. FPAA Arayüz Programı

Anadigm firması tarafından geliştirilen Şekil 2.8' de gösterilen Anadigm Designer 2™ arayüzü, tasarımcıya dinamik olarak yeniden yapılandırılabilir analog devrelerin tasarlanması, gerçekleştirilmesi, simüle edilmesi olanağını veren bir arayüz yazılım uygulamasıdır. Programda kütüphane olarak daha önce tanımlanmış olan ve farklı fonksiyonları gerçekleştirebilen bloklara yapılandırılabilir analog modüller (CAM) adı verilmektedir. Bu modüllerle ve sezgisel olarak kolay olan arayüzle sürükle-bırak yöntemiyle, hızlı bir şekilde analog devre tasarımı gerçekleştirilebilmektedir, simüle edilebilmektedir ve bilgisayara bağlı olan geliştirme platformuna indirilebilmektedir. Yapılandırılabilir analog modüller, tasarımcının işini son derece kolaylaştırmaktadır. Söz konusu arayüz programı içerisinde tanımlı olan bu modüller Şekil 2.9' da listelenmektedir. Anadigm Designer 2™ arayüz programının tezin yazıldığı tarih itibariyle güncel olan versiyonu 2.8' dir. Bu versiyonda, 49 adet CAM kütüphanesi bulunmakta olup her biri için ayrıntılı dökümantasyon üretici tarafından sağlanmaktadır.

Bu aşamada, CAM kütüphanesinde bulunan ve tezin 3. Bölümünde yer alan çalışmalara temel teşkil etmesi açısından uygulama devrelerinde kullanılan yapılandırılabilir analog modüllerden bazılarının örnek olarak burada incelenmesinin uygun olacağı düşünülmektedir. Bu kapsamda OSCILLATORSIN, GAININV, MULTIPLIER ve SUMINV blokları incelenerek bilgisayar arayüz programındaki gösterimleri ve anahtalarlamalı kapasitör devre modelleri takip edilen alt bölümlerde verilecektir.



Şekil 2.8. AN231E04 için Anadigm Designer 2™ tasarım arayüzü.



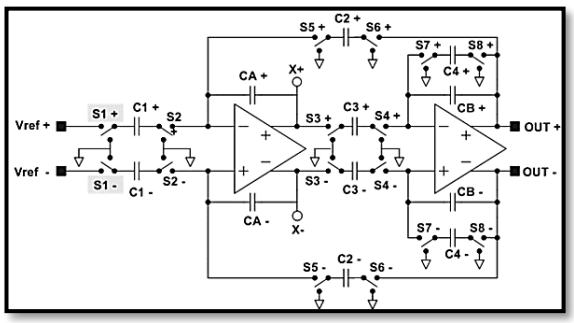
Şekil 2.9. Yapılandırılabilir analog modüller (CAM).

2.3.1. OSCILLATORSINE Bloğu

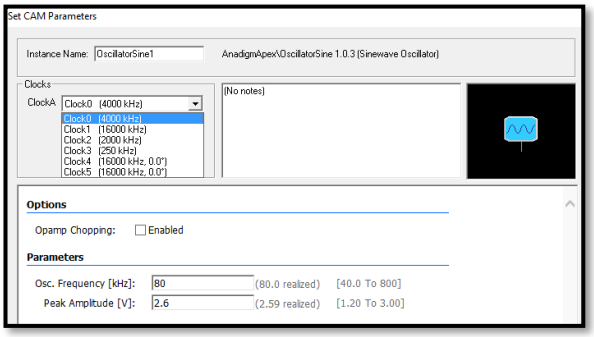
OscillatorSine bloğu CAM modüllerinden biri olup Şekil 2.10(a)' da anahtarlamalı kapasitör devre modeli ve ayarlanabilir parametreleri verilmektedir. Bu blok, sürekli sinüsoidal bir çıkış üretmekte olup yapılandırılabilir genlik ve frekansa sahiptir. Osilasyon frekans sınırları, örnekleme için seçilen saat sinyalinin frekansı ile doğrusal olarak ilişkilidir. Bloğun üretebileceği frekans için mutlak sınırlar $f_c/100$ ile $f_c/5$ arasındadır. Şekil 2.10(b)' de görüldüğü üzere genlik değeri mutlak olarak 0.3 Volt ile 3 Volt arasındadır. Bloğun kendi içerisinde bulunan anahtarlamalı kapasitör değerleri, Denklem (2.1) ve (2.2)' ye göre hesaplanmaktadır. Burada (A) osilatörün genliğini belirtmekte olup, (f_{osc}) ise osilatörün frekansını ifade etmektedir.

$$f_{osc} = \frac{f_c}{2\pi}\sqrt{\frac{C_2 C_3}{C_b C_a}} \tag{2.1}$$

$$A = \frac{240}{\pi}\frac{C_1}{C_2} \tag{2.2}$$



(a)



(b)

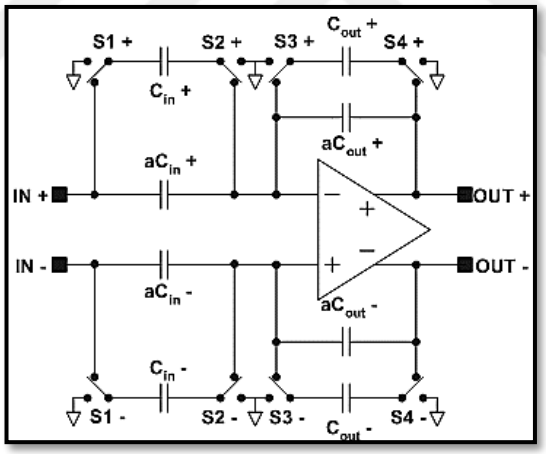
Şekil 2.10. OscillatorSine bloğu, (a) anahtarlamalı kapasitör devre modeli, (b) ayarlanabilir parametreleri.

2.3.2. GAININV Bloğu

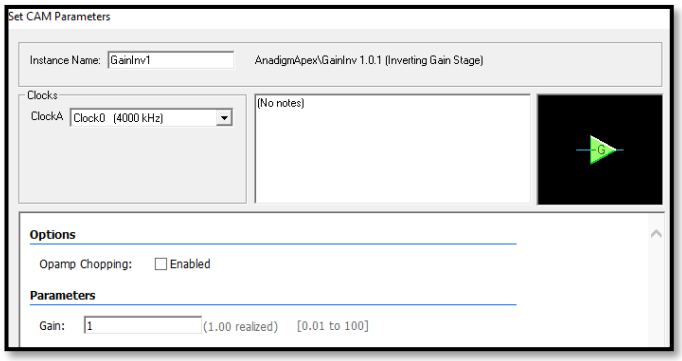
GainInv bloğu eviren yükselteç devresi olup anahtarlamalı kapasitör devre modeli ve ayarlanabilir parametresi Şekil 2.11' de gösterilmektedir. Giriş voltajı, yapılandırılabilir kazancın değeriyle yeniden ölçeklendirilmektedir. Çıkış voltajı ile giriş voltajı arasında 180° faz farkı bulunmaktadır. Bu blok, 0.01 - 100 V/V arasında yapılandırılabilir kazanç imkanı sunmaktadır. Bloğun kendi içerisinde bulunan anahtarlamalı kapasitör değerleri Denklem (2.3) ve (2.4)' e göre hesaplanmaktadır. Burada (G) modülün kazancını, (V_{out}) çıkış voltajını, (V_{in}) ise giriş voltajını ifade etmektedir.

$$-G = \frac{V_{out}(s)}{V_{in}(s)} \tag{2.3}$$

$$G = \frac{C_{in}}{C_{out}} \tag{2.4}$$



(a)



(b)

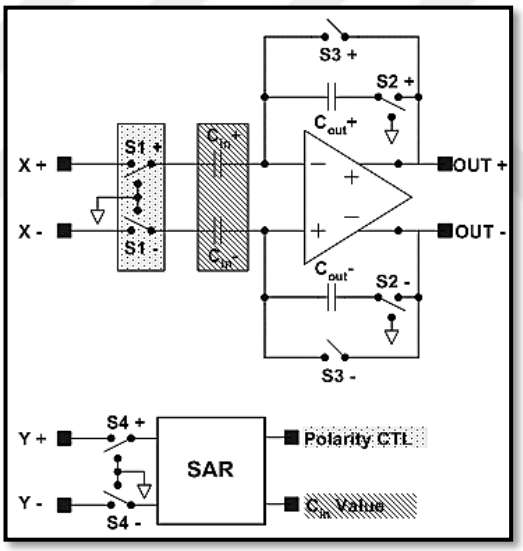
Şekil 2.11. GainInv bloğu, (a) anahtarlamalı kapasitör devre modeli, (b) ayarlanabilir parametresi.

2.3.3. MULTIPLIER Bloğu

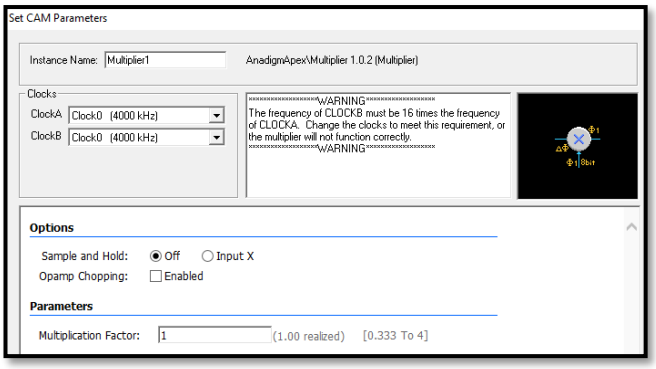
MULTIPLIER bloğu çarpma işlemi gerçekleştirmekte olup bloğa ait anahtarlamalı kapasitör devresi ve ayarlanabilir parametresi sırasıyla Şekil 2.12(a) ve Şekil 2.12(b)' de gösterilmektedir. (V_x) ve (V_y) giriş işaretleri ve çarpım faktörü birbiriyle çarpılmaktadır. Bloğun çıkış fonksiyonu Denklem (2.5)' te verilmektedir. Bu denklemde (M) çarpım faktörünü ifade etmekte olup, kapasitör değeri Denklem (2.6) ile hesaplanmaktadır.

$$V_{out} = M \,.\, V_x \,.\, V_y \tag{2.5}$$

$$C_{out} = \frac{85}{M} \tag{2.6}$$



(a)



(b)

Şekil 2.12. Multiplier bloğu, (a) anahtarlamalı kapasitör devre modeli, (b) ayarlanabilir parametreleri.

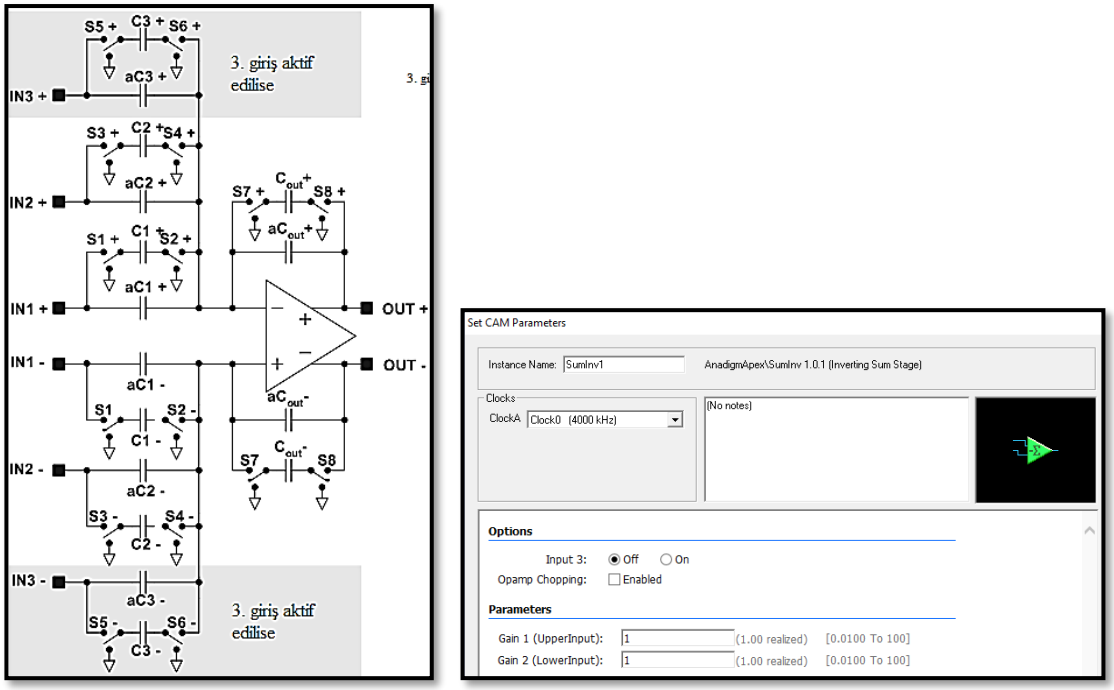
2.3.4. SUMINV Bloğu

SumInv bloğu, üç girişe kadar tam periyot toplama ve evirme işlemleri yapmaktadır. Her giriş yapılandırılabilir kazanca sahip yükseltme devresi içermektedir. Anahtarlamalı kapasitör devre modeli ve ayarlanabilir parametreler Şekil 2.13' te gösterilmektedir. Denklem (2.7) devrenin transfer fonksiyonunu ifade etmektedir.

$$V_{out} = -G_1 V_{input1} - G_2 V_{input2} - G_3 V_{input3} \tag{2.7}$$

(G_1), (G_2), ve (G_3) her bir giriş kolunun kazançlarını ifade etmekte olup (V_{input1}), (V_{input2}) ve (V_{input3}), her bir giriş kolundaki giriş voltajlarını temsil etmektedir. (G_3) ve (V_{input3}), ayarlanabilir parametre penceresinden seçildiği takdirde hesaplanmaktadır. Her bir giriş 0.01 - 100 V/V arasında yapılandırılabilir kazanç imkanı sunmaktadır. Anahtarlamalı kapasitör devresindeki kapasitör değerleri, Denklem (2.8) ile hesaplanmaktadır.

$$G_1 = \frac{C_1}{C_{out}} \quad , \quad G_2 = \frac{C_2}{C_{out}} \quad , \quad G_3 = \frac{C_3}{C_{out}} \tag{2.8}$$



(a) (b)

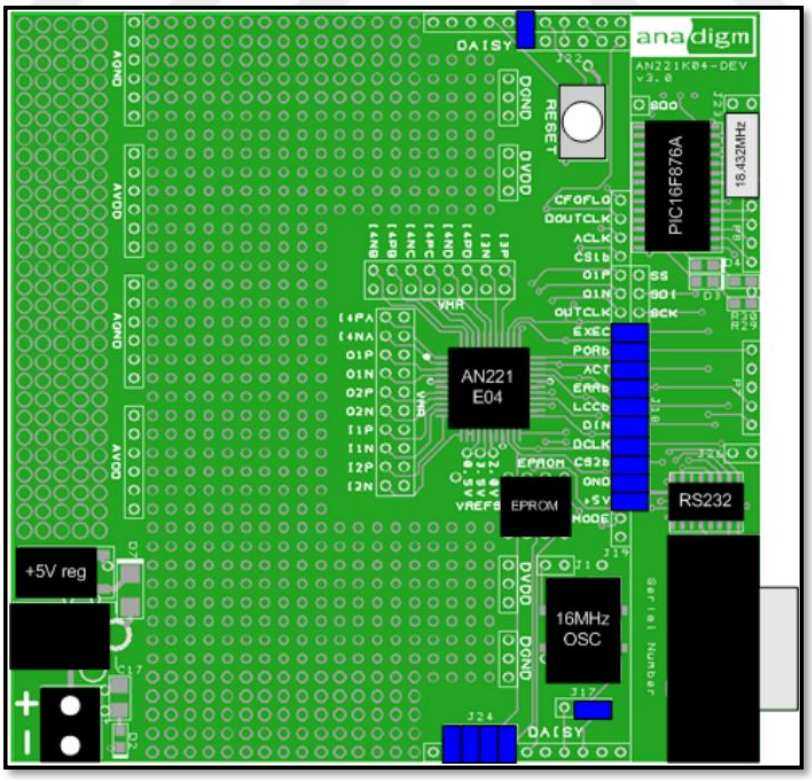
Şekil 2.13. SumInv bloğu, (a) anahtarlamalı kapasitör devre modeli, (b) ayarlanabilir parametreleri.

2.4. Geliştirme Platformları

Anadigm, ürettiği FPAA' ler ve dpASP' lerin kullanımını yaygınlaştırmak amacıyla, ürün temelli sistem geliştirme platformları da tasarlamaktadır. Günümüzde ulaşılabilir olan bu platformlar aşağıda tanıtılmaktadır.

2.4.1. Anadigm AN221E04-DVLP2 5volt Geliştirme Platformu

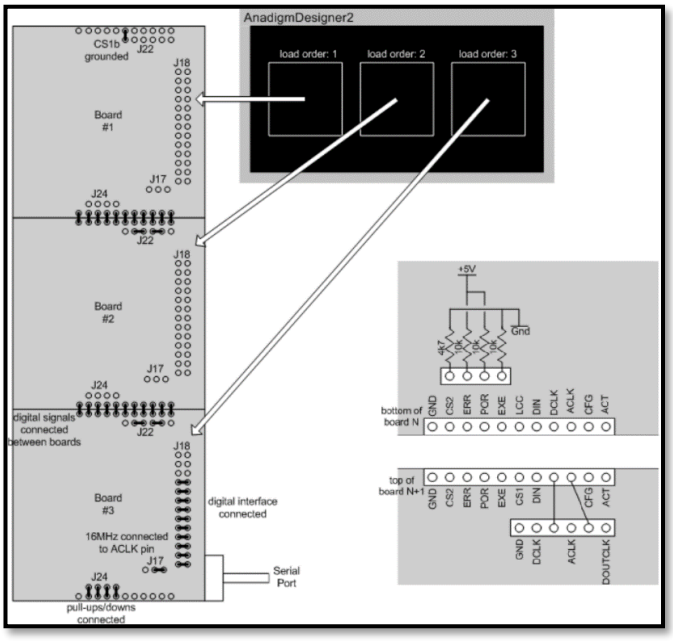
AnadigmVortex olarak da bilinin 5 Volt ile çalışan ikinci jenerasyon FPAA tabanlı bir platformdur. Şekil 2.14' te gösterildiği üzere bir adet AN221E04 FPAA, PIC16F876A mikrodenetleyicisi tarafından kontrol edilmektedir. Saat kaynağı olarak 16 MHz' lik osilatör kullanan platform, RS232 seri port protokolü ile bilgisayarla haberleşmektedir. AN221E04 statik programlanabilen bir FPAA olması sebebiyle, platform üzerinde bir EEPROM bulunmaktadır. EEPROM' a konfigürasyon verisi üçüncü parti programlayıcı kartlar aracılığıyla indirildikten sonra FPAA buradaki konfigürasyon verisini alabilir duruma gelmektedir.



Şekil 2.14. Anadigm AN221E04-DVLP2 5volt geliştirme platformu.

Her ne kadar platform AN221E04 tabanlı geliştirilmiş olsa da AN221E02, AN120E04, AN121E04 ve AN220E04 ile de kullanılabilmektedir. Platformun programlanması için Anadigm Designer 2™ bilgisayar arayüz programının güncel olan 2.8 versiyonu kullanılmaktadır. Platform 5.5 Volt ile 20 Volt arasında besleme voltajını kabul etmektedir. Platformun fiziksel boyutları ise 10,16 cm x 10,16 cm' dir. Anadigm firması, AnadigmVortex serisi olarak da bilinen ikinci jenerasyon FPAA' lerin üretimini durdurmuştur ve tasarımlarda üçüncü jenerasyon AN231E04 kullanımını tavsiye etmektedir.

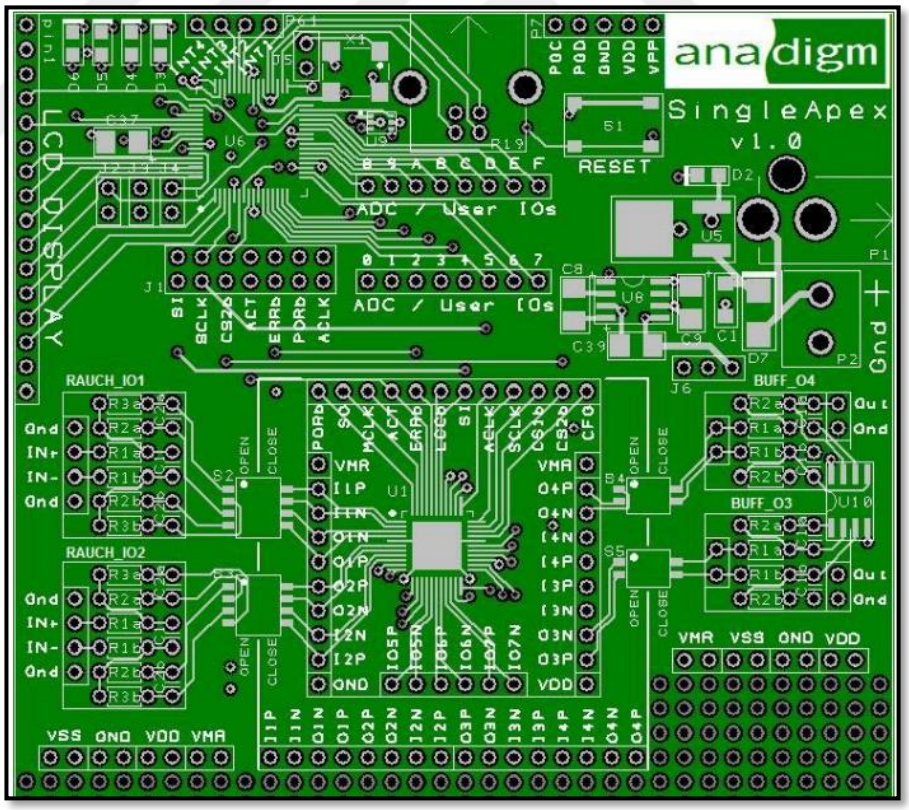
Günümüzde FPAA' ler ile uygulama geliştirirken karşılaşılan en önemli sorun kaynakların yetersiz olması yani bir FPAA içerisinde sınırlı sayıda CAM kullanılması zorunluluğudur. Devre tasarımcıları, bir FPAA içerisinde daha fazla yapılandırılabilir analog modül kullanmak istemektedirler. Bu sebeple gelişmiş uygulamalar için daha fazla kapasiteye ihtiyaç duymaktadırlar. Bunun anlamı, daha fazla FPAA' ye platform üzerinde ihtiyaç olduğudur. Üretici firma bu tarz talepleri karşılamak adına platformların birbirine bağlanarak zincir yapısı oluşturabilmesi için, platformun sağ ve sol taraflarına zincir yapısı için atlamalar eklemektedir. Bu atlamalar sayesinde birden fazla platform, zincir yapısında kullanılabilmektedir. Şekil 2.15' te AnadigmVortex ailesi platformlar ile zincir yapının oluşturulması gösterilmektedir.



Şekil 2.15. Anadigm AN221E04-DVLP2 ile zincir oluşturulması.

2.4.2. Anadigm AN231K04-SING 3.3volt Geliştirme Platformu

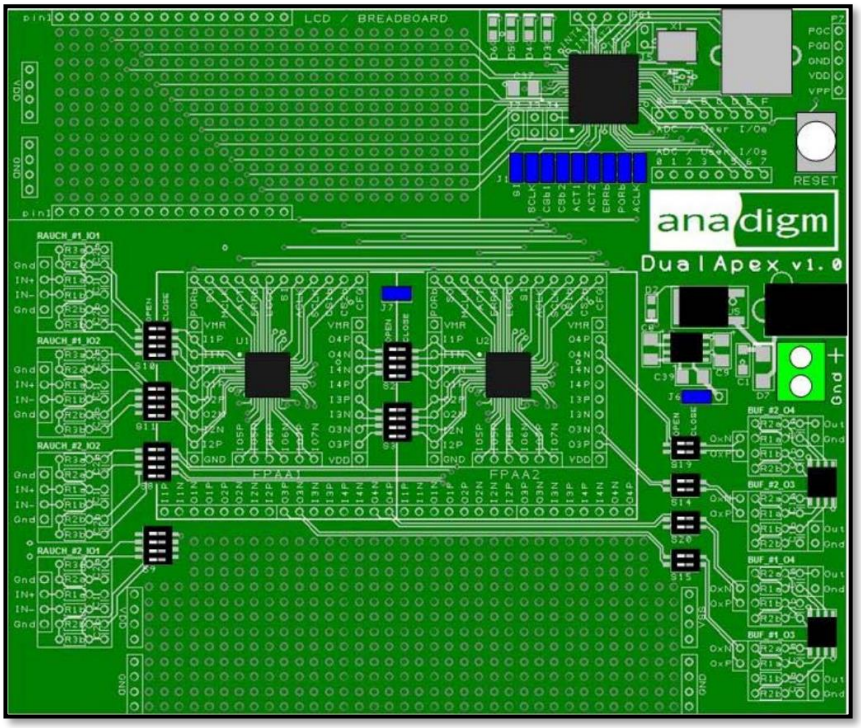
AnadigmApex olarak da bilinin 3.3 Volt ile çalışan üçüncü jenerasyon FPAA tabanlı bir platformdur. Şekil 2.16' da gösterildiği üzere bir adet AN231E04 FPAA, PIC32MX440F512H mikrodenetleyicisi tarafından kontrol edilmektedir. Analog saat kaynağı olarak 16 MHz ya da 40 MHz' lik seçimleri sunan platform, USB port ile bilgisayarla haberleşmektedir. Platform üzerinde EEPROM bulunmamaktadır. SingleApex olarak da anılan platform, fiziksel olarak 11 cm x 9 cm boyutlarında bir alan kaplamaktadır. DIP anahtarlar sayesinde, giriş ve çıkışlarda bulunan pasif filtrelere kolayca bağlanma imkanı veren platform, 4 Volt ile 9 Volt arasında gerilimde çalışmaktadır. Standart 16x2 LCD gösterge eklenebilmesi için 16' lık pin alanı platformun sol üst köşesine yerleştirilmiştir. Platform FPAA zincir yapısı oluşturulmasına tasarım tercihleri sebebiyle izin vermemektedir.



Şekil 2.16. Anadigm AN231K04-SING 3.3volt geliştirme platformu.

2.4.3. Anadigm AN231K04-DUAL 3.3volt Geliştirme Platformu

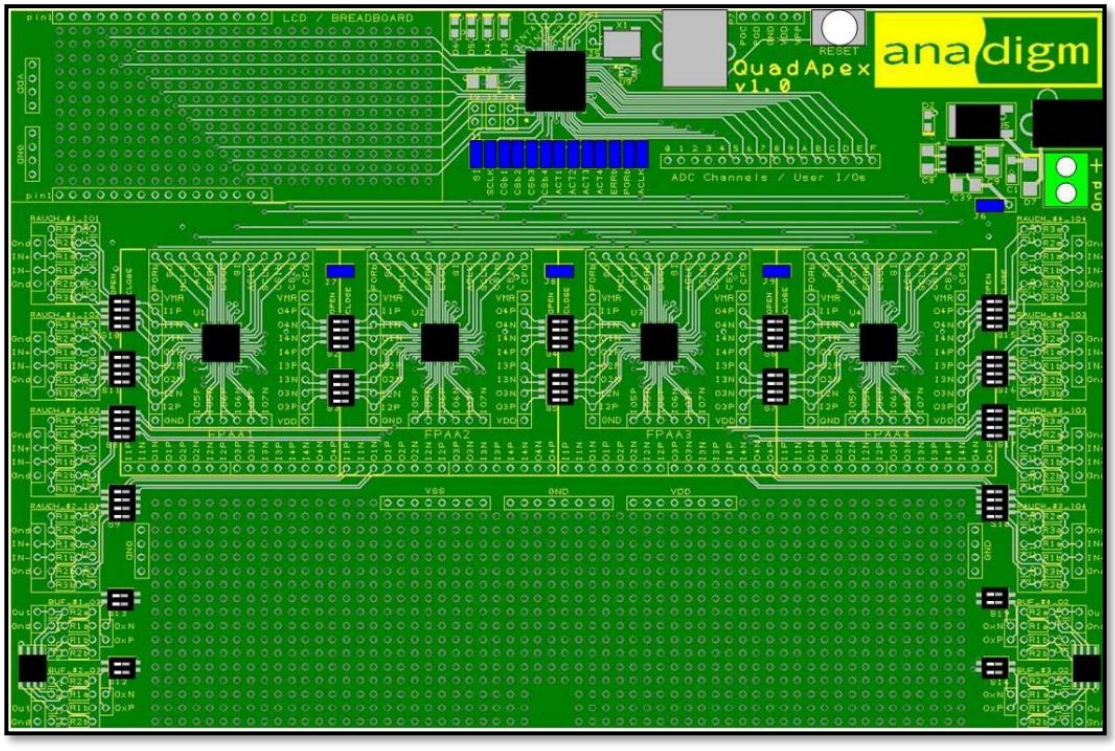
Üçüncü jenerasyon FPAA olan AN231E04 temelinde geliştirilen platform, SingleApex ile benzer özellikleri taşımaktadır. Şekil 2.17' de görülen DualApex olarak da bilinen platform iki adet AN231E04 ve bir adet PIC32MX440F512H mikrodenetleyici barındırmaktadır. Analog saat kaynağı olarak 16 MHz ya da 40 MHz' lik seçimleri sunan platform, USB port ile bilgisayarla haberleşmektedir. Bu platform üzerinde de EEPROM bulunmamaktadır. Geliştirme platformu 14 cm x 12 cm boyutlarında fiziksel alan kaplamaktadır. DIP anahtarlar sayesinde, giriş ve çıkışlarda bulunan pasif filtrelere ve çıkış tamponlarına kolayca bağlanma imkanı veren platform, 4 Volt ile 7 Volt arasında gerilimde çalışmaktadır. Standart 16x2 LCD gösterge eklenebilmesi için 16' lı pin alanı platformun sol üst köşesine yerleştirilmiştir. Platform kendi içerisinde bir ya da iki adet FPAA zincir yapısı oluşturulmasına izin vermektedir ancak platform başka bir platform ile zincir yapısı oluşturamamaktadır. Platform üzerinde bulunan iki adet FPAA, tek atlama pini ile zincir olabilmektedir. DualApex platformu, iki adet FPAA sunarak kapasite sorununu kısmen çözmüştür ancak bu yapı kompleks devreler için yeterli olmamaktadır.



Şekil 2.17. Anadigm AN231K04-DUAL 3.3volt geliştirme platformu.

2.4.4. Anadigm AN231K04-QUAD 3.3volt Geliştirme Platformu

Anadigm firması tarafından kullanımı teşvik ve tavsiye edilen AN231E04 temelinde oluşturulan Şekil 2.18' de görülen QuadApex platformu, kapasite problemlerinin önüne geçmek için tasarlanmıştır. Dört adet AN231E04 ve bir adet PIC32MX440F512H içermektedir. Analog saat sinyali kaynağı olarak 16 MHz ya da 40 MHz' lik seçimleri sunan platform, USB port ile bilgisayarla haberleşmektedir. Bu platform üzerinde de EEPROM bulunmamaktadır. Geliştirme platformu 20 cm x 13,5 cm boyutlarında fiziksel alan kaplamaktadır. DIP anahtarlar sayesinde, giriş ve çıkışlarda bulunan pasif filtrelere ve çıkış tamponlarına kolayca bağlanma imkanı veren platform, 4 Volt ile 6 Volt arasında gerilimde çalışmaktadır. Standart 16x2 LCD gösterge eklenebilmesi için 16 pin header alanı platformun sol üst köşesine yerleştirilmiştir. Platform kendi içerisinde tekli, ikili, üçlü ve dörtlü FPAA zincir yapısı oluşturulmasına izin vermektedir ancak platform başka bir platform ile zincir yapısı oluşturamamaktadır. Platform üzerinde bulunan dört adet FPAA, atlamalar vasıtasıyla zincir yapısı oluşturabilmektedir. QuadApex platformu, dört adet FPAA sunarak kapasite sorununun giderilmesi için tasarlanmıştır.



Şekil 2.18. Anadigm AN231K04-QUAD 3.3volt geliştirme platformu.

Platformun, bir başka platform ile zincir oluşturamaması, platformun dezavantajı olarak düşünülmektedir. Bir adet FPAA' de dört adet CAB bulunmaktadır. Her bir CAB tarafından kaynak olarak; iki adet Op-Amp, bir karşılaştırıcı, programlanabilen kapasitör bloğu ve saat sinyali kaynakları sunulduğu gözönüne alındığında, platformun günümüz karmaşık devre yapıları için yetersiz kalabileceği öngörülmektedir.

FPAA' lerin kapasite yetersizlikleri nedeniyle popüler olamadığı bilinen bir gerçektir. Popüler olamamasının bir diğer sebebi ise geliştirme platformlarının, birçok üretici tarafından farklı uygulamalara yönelik piyasaya sunulan geliştirme platformlarına göre yüksek fiyatlara satılmasıdır. Tezin oluşturulduğu tarih itibariyle bir adet QuadApex platformu 354 Amerikan Dolarına satılmakta olup bir adet AN231E04 fiyatı ise 11-13 Amerikan Doları arasındadır. Mevcut sorunlar bir bütün olarak düşünüldüğünde; tasarımcıların dönem dönem FPAA' lere ilgi duymasına rağmen, mikrodenetleyiciler kadar yaygın kullanılmamasının sebebi görülebilmektedir. Her ne kadar üretici firma piyasaya sunmuş olduğu geliştirme platformları ile kapasite sorunlarının önüne geçmek için gayret gösterse de FPAA platformlarının örneğin mikrodenetleyici temelli geliştirme platformlarına göre nispeten yüksek fiyatlara sahip olması FPAA' lerin daha geniş kitleler ile tanışmasını engellediği düşünülmektedir. Kitleleri, bu tarz geliştirme platformlarından uzaklaştıran diğer hususların ise platformların üzerinde çok fazla sayıda atlamalar olması, kartın görsellikten uzak olması ve konuya ilgi duyup bir yerden kolayca başlamak isteyenlere hitap etmemesinden kaynaklandığı düşünülmektedir.

Bu tez çalışmasında tasarımı gerçekleştirilen platform ile yukarıda bahsedilen problemlerin önüne geçilmesi hedeflenmiştir. Üretici tarafından geliştirilen üçüncü jenerasyon FPAA elemanları içeren geliştirme platformları, sahip oldukları bloklar ile fazla sayıda atlamalar sebebiyle platform üzerinde kargaşaya sebep olmakta ve platformların birbirleri arasında zincire izin veren bağlantıları içermemektedir. Bu ise tasarımcıyı sadece dört adet FPAA kullanımı ile sınırlamaktadır ve aynı zamanda üreticinin geliştirdiği platformlara bağımlı kılmaktadır. Tez çalışmasında geliştirilen platform ile bu sorunların önüne geçildiği gibi daha düşük fiyata mal edilmiştir. Çok amaçlı FPAA tabanlı sistem geliştirme platformunun tasarım detayları ve oluşturulan platformun özellikleri 3. Bölümde anlatılmaktadır.

3. BÖLÜM

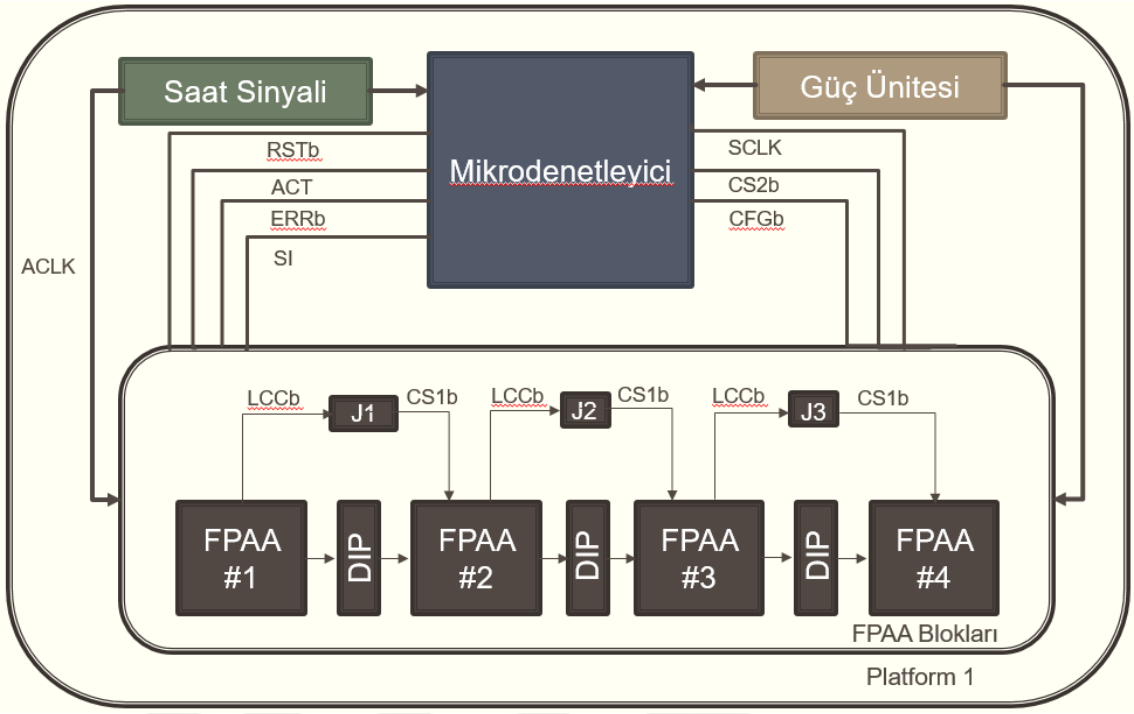
ÇOK AMAÇLI FPAA TABANLI SİSTEM GELİŞTİRME PLATFORMU TASARIMI VE UYGULAMALARI

3.1. FPAA Tabanlı Sistem Geliştirme Platformu Tasarımı

Bu bölümde; FPAA tabanlı sistem geliştirme platformu tasarımında kullanılan donanımlar, donanımlar arasındaki bağlantılar, platformun genel özellikleri ve platformun yerleşim planı hakkında bilgiler verilmiştir.

3.1.1. Geliştirme Platformunun Genel Özellikleri

Şekil 3.1' de fonksiyonel blok diyagramı verilen FPAA tabanlı sistem geliştirme platformu; analog tasarımları uygulamak ve test etmek için AN231E04 merkezli, kullanımı kolay, çekirdek bir platformdur. Dört adet AN231E04, 32 bit PIC32 mikrodenetleyici tarafından kontrol edilerek etkili gömülü yazılımlar gerçekleştirmeye imkan sağlanmaktadır. Platform üzerine yerleştirilen DIP anahtarlar ile atlama kablolarına gerek duymadan devre bağlantılarının kolayca gerçekleştirilmesi hedeflenmektedir. Ayrıca PIC32 mikrodenetleyicinin kullanılmayan pinleri ve fonksiyonel pinleri (ADC gibi) dış bağlantılar gerçekleştirilebilmesi için uygun şekilde konumlandırılmış olup, platform her türlü çalışmaya hizmet verebilecek kapsamda çekirdek bir platform olma özelliğindedir. Birden fazla platform birbiri arasında zincir yapıda kullanılabilmektedir. Böylece, üretici firmanın sunmuş olduğu QuadApex platformunun aksine kapasite gerektiren uygulamalar için daha geniş kapasiteye sahip bir yapı oluşturulabilmektedir. Platformun tasarımında fonksiyonellik öncelikli olmakla birlikte elektromanyetik uyumluluk için istenen nitelikler dikkate alınmış ve estetik kaygı güdülmüştür. Geliştirme platformunun fiziksel boyutu, besleme aralığı vb. genel özellikleri aşağı verilmektedir.

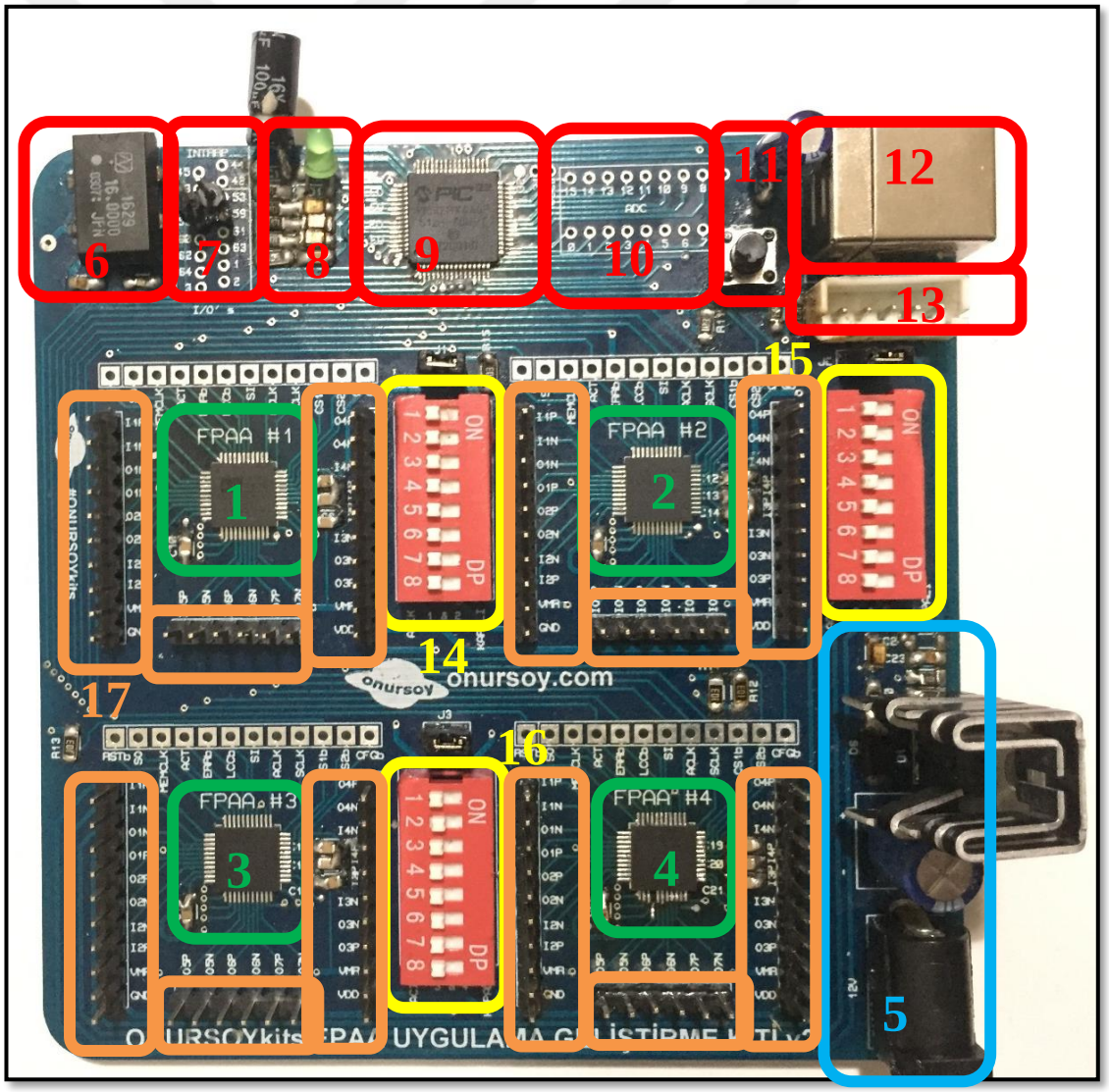


Şekil 3.1. Çok amaçlı FPAA tabanlı sistem geliştirme platformu fonksiyonel blok diyagramı.

- Platform devre boyutları; 10 cm x 10 cm ‘lik fiziksel alan,
- Geniş besleme aralığı; 4 Volt – 23 Volt,
- Platform üzerinde regüle 3.3 Volt,
- Anadigm Designer 2™ devre dosyalarını platforma indirmek için standard USB konnektör,
- PIC32MX440F512H – 80 MHz, 512 Kb hafıza, 32 Kb RAM bellek, 16 x 10 bit ADC,
- Her FPAA’ in her bacağına ulaşma imkanı,
- FPAA zinciri oluşturabilmek için atlamalar,
- 1, 2, 3, 4 adet FPAA zinciri oluşturma,
- Konfigürasyonları FPAA hafızasında sürekli tutabilme,
- Test konfigürasyonu ile FPAA test etme,
- Ters polarizasyona karşı koruma.

3.1.2. Geliştirme Platformunun Yerleşim Planı (Layout)

Şekil 3.2' de platformun yerleşim planı verilmektedir. Bu plana göre; yeşil kutu içerisine alınan 1, 2, 3 ve 4 numaralı yapılar AN231E04 tümdevreleridir. 5 numaralı mavi kutu, platformun besleme ünitesidir. 6 numaralı kırmızı kutu ile belirtilen yapı, mikrodenetleyici ve FPAA' lerin saat sinyali kaynağı ihtiyacını karşılayan 16 MHz' lik osilatör ve harici elemanlarıdır. 7 numaralı kırmızı kutu, PIC32 mikrodenetleyicisine ait olan genel amaçlı G/Ç pinlerini göstermektedir. Ayrıca platformun çalışıp çalışmadığını kontrol etmek amacıyla kullanılan test devresi de buradaki 59 numaralı pine yapılan atlama ile gerçekleştirilmektedir.



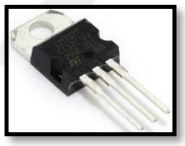
Şekil 3.2. Geliştirme platformunun yerleşim planı.

8 numaralı kırmızı kutu, FPAA' lerin programlanması sırasında kullanıcıyı bilgilendirmek amaçlı yerleştirilen LED' ler ve harici elemanlardır. 9 numaralı kırmızı kutu, PIC32MX440F512H mikrodenetleyicisinin bulunduğu kısımdır. 10 numaralı kırmızı kutu, PIC32 mikrodenetleyicisine ait ADC kanallarını içermektedir. 11 numaralı kırmızı kutu, "reset" butonunu göstermektedir. 12 numaralı kırmızı kutu, platformun bilgisayar ile bağlantısına aracılık eden USB 2.0 girişidir. 13 numaralı kırmızı kutu, PIC32 denetleyicisini programlamak için gerekli olan ICSP (**I**n **C**ircuit **S**erial **P**rogramming-Seri Programlama) soketidir. 14, 15 ve 16 numaralı sarı kutular, FPAA' ler arasında kablo karmaşasını azaltmak için yerleştirilen kısa bağlantılara imkan tanıyan DIP anahtarlardır. 17 numaralı bütün turuncu kutular, FPAA' lerin bütün G/Ç pinlerine ulaşmak için yerleştirilen erkek tip pinlerdir. Ayrıca her FPAA' ye yakın olarak GND, VDD ve VMR pinleri yerleştirilerek kullanıcılara kısa kablolar ile tasarım yapma imkanı tanınmaktadır.

3.1.3. Geliştirme Platformunun Enerjilendirilmesi

Platform, besleme ve gözlem için toplamda 2 adet güç girişi sunmaktadır. Standart besleme konnektörü kullanılarak günümüzde kullanılan her türlü adaptör çıkışı ile uyum hedeflenmiştir. Platform üzerindeki konnektör, 5.5 mm dış çapa ve 2.1 mm iç çapa sahip olup içerisindeki pin kaynağın pozitif ucunu temsil etmektedir. Bu açıklamalar kapsamında 4 Volt – 23 Volt arasında çıkış verebilen herhangi bir adaptör besleme kaynağı olarak kullanılabilmektedir. Platform üzerinde yer alan 2 gözlü terminal ile uygulanan besleme kaynağının değerinin takip edilebilmesi/ölçülebilmesi amaçlanmaktadır. Ayrıca bu terminal ile standart konnektöre sahip olmayan adaptörlerin kablo vasıtasıyla kullanılabilmesi de amaçlanmaktadır. Platformun besleme ünitesi, ters polarizasyon tehlikesine karşı korumalıdır. Terminalden uygulanan bir ters polariteli besleme kaynağı sorun teşkil etmemektedir. Platforma ilk enerjisi verildiğinde besleme ünitesindeki yeşil LED, kullanıcıyı bilgilendirme amacıyla yanmaktadır. Platformun tamamı ilk enerjilendirme anında, FPAA' lerin yapılandırılmalarından önce 100 mA düzeyinde akım çekmektedir. Sonrasında platformun ihtiyacı olan akım; kaç FPAA' in kullanıldığı, FPAA' ler üzerinde kaç adet ve hangi devrelerin çalıştığına göre değişmektedir. Platform üzerindeki dört FPAA' in kaynak olarak kullanıldığı bir devre çalıştırıldığında, platform yaklaşık olarak 400 mA akım çekmektedir. Besleme katında kullanılan voltaj regülatörüne ayrıca soğutucu da eklenmiştir.

Platformun besleme katı için voltaj regülatörü olarak Şekil 3.3' te gösterilen LM317 tercih edilmiştir. LM317 Texas Instruments tarafından üretilen, 1.25 Volt – 37 Volt aralığında çıkışa imkan veren üç terminalli pozitif voltaj regülatörüdür. Tümdevre, soğutucu kullanılması halinde 1.5 Ampere kadar akım sağlayabilmektedir. İstenilen voltaj değerini çıkıştan elde etmek için sadece iki adet direnç kullanılması yeterli olmaktadır. %0.01 regülasyon oranına sahip olan tümdevre, aşırı ısıya karşı dahili korumaya sahiptir. Tümdevrenin çıkışının kısa devre olması ihtimaline karşı dahili kısa devre korumasına da sahiptir. Texas Instruments ürünü 3 farklı kılıfta piyasaya sürmektedir; SOT-223, TO-220 ve TO-263. Platformda TO-220 kılıfa sahip olan tümdevre kullanılmış olup bulunabilirlik ve montaj kolaylığı sebebiyle bu kılıf tercih edilmiştir. Platform LM317 çıkışından elde edilen 3.3 Volt ile beslenmektedir. Platformun giriş güç katı ters polarizeye karşı korumalıdır. FPAA' lerin programlanması esnasında akım ihtiyacının artması sebebiyle LM317' ye soğutucu takılmıştır.



Şekil 3.3. LM317 voltaj regülatörü.

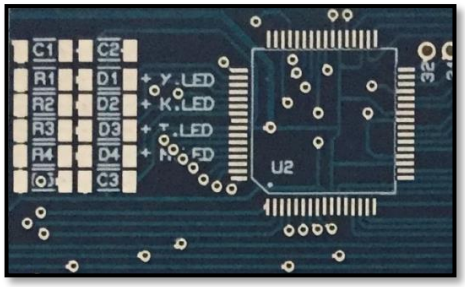
3.1.4. Geliştirme Platformunun Programlanması

Platformun programlanması tabiriyle FPAA' lerin konfigüre edilmesi kastedilmektedir. Programlama için bilgisayar ve standart USB kablosuna ihtiyaç duyulmaktadır; Platform üzerindeki PIC32 mikrodenetleyicisi seri portu taklit etmektedir (emulator) ve kendisini seri porttan bağlanan bir cihaz olarak tanıtmaktadır. Bu sebeple, platformun bilgisayar ile bağlantısı gerçekleştirildikten sonra bilgisayarda COM port olarak görünmektedir. Platformu programlamak için (FPAA' leri yapılandırmak için) öncelikle USB kablosu bilgisayara bağlanır ve ardından platforma enerji verilir. Bilgisayardan Anadigm Designer 2™ arayüz programı çalıştırıldıktan sonra programdaki tercihler bölümünden platformun bağlı olduğu port seçilir. Platformun bilgisayar ile bağlantısının gerçekleşip gerçekleşmediğini anlamak için hedef sekmesinden platformun bilgilerini göster butonu tıklanarak bilgi ekranının gelmesi beklenir.



Şekil 3.4. Platform bilgisinin Anadigm Designer 2™' de gösterimi.

Şekil 3.4' ten de anlaşıldığı üzere kaç adet FPAA' in platform üzerinde zincir yapısında olduğu gösterilmektedir. Bu aşamadan sonra Anadigm Designer 2™ programında tasarlanan herhangi bir analog devre platforma yüklenebilir. Bunu yapmak için programlama ikonuna ya da klavyeden "Ctrl + W" tuşlarına basılması yeterli olmaktadır. Her FPAA konfigüre edilirken mikrodenetleyiciye bağlı olan sarı LED yanıp sönmektedir. Bütün FPAA' lerin konfigüre edilmesi bittikten sonra mikrodenetleyiciye bağlı olan yeşil LED sürekli yanarak programlama sürecinin başarıyla tamamlandığı bilgisini kullanıcıya yansıtmaktadır. Eğer FPAA' lerin programlanması sürecinde bir problem yaşanacak olursa, mikrodenetleyiciye bağlı olan kırmızı LED konfigürasyonun tamamlanamadığı bilgisini kullanıcıya vermektedir. Şekil 3.5' te platformdaki LED' lerin konumları görülmektedir.



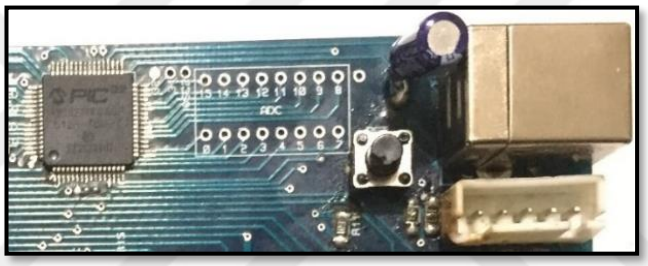
Şekil 3.5. Bilgilendirme LED' leri.

3.1.5. Geliştirme Platformunun Diğer Özellikleri

Bu kısımda geliştirme platformunun sahip olduğu tasarıma yönelik özelliklerinden ve tasarımcıya sunulan kullanım kolaylıklarından bahsedilmektedir.

3.1.5.1. "Reset" Butonu

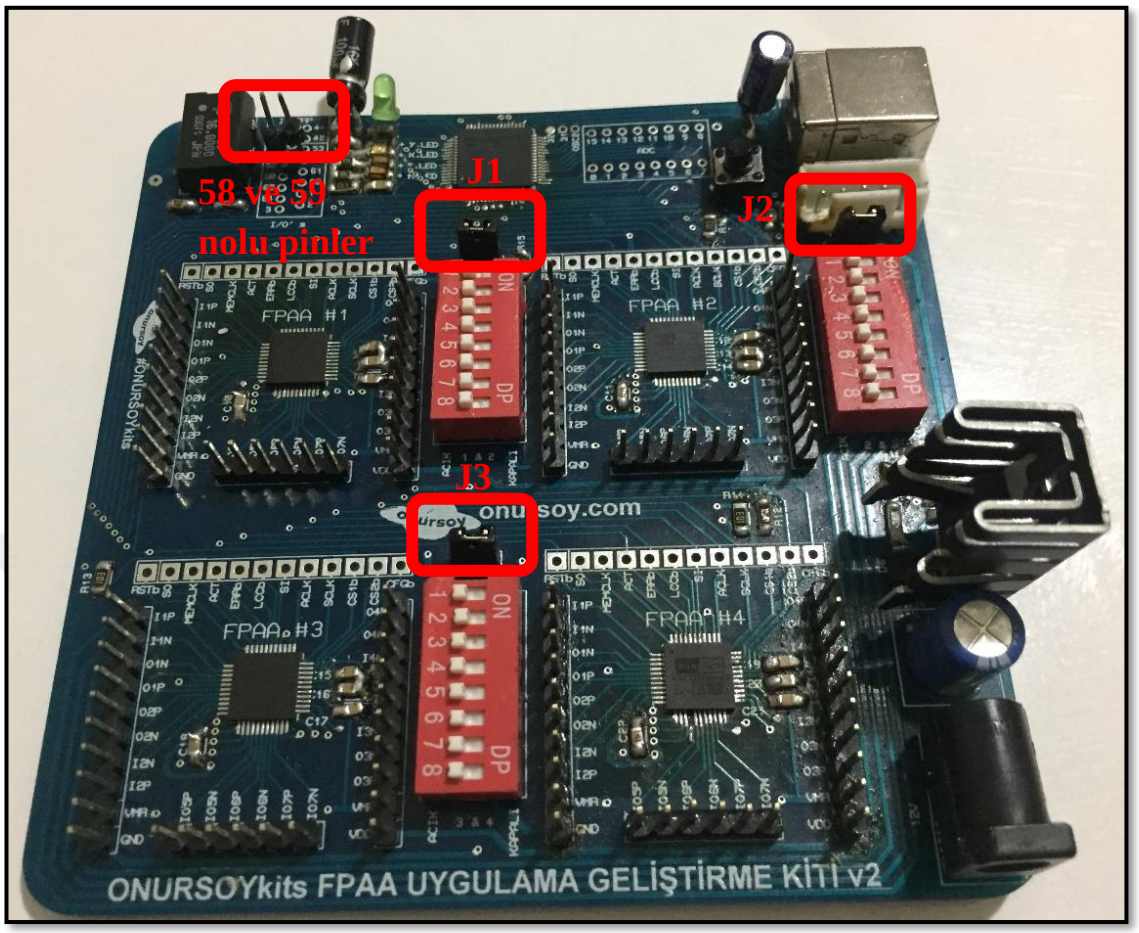
Şekil 3.6' da gösterildiği üzere platformun sağ üst köşesinde, PIC32 ve bütün FPAA' lerin "reset" işlemine imkan tanıyan buton bulunmaktadır. "Reset" butonuna herhangi bir anda basılabilmektedir ve programlama süreci için bir sorun teşkil etmemektedir. Buton push-pull tipinde olup 4 pinlidir.



Şekil 3.6. "Reset" butonu.

3.1.5.2. Değişken Sayıda FPAA Zinciri Oluşturmak

Platform dört adet AN231E04 tümdevresi içermektedir. Bütün FPAA' leri birbirine bağlayan atlamalar açık konumundayken, ilk FPAA sol üst köşede olan FPAA' dir. FPAA' lerin numaralandırması platform üzerinde kullanıcıya kolaylık sağlaması açısından açıkça ifade edilmektedir. Şekil 3.7' de kırmızı kutularla belirtilen elemanlar iki pinli atlamalardır. Eğer 3 adet FPAA kullanan bir zincir tanımlanmak istenirse J3' ün çıkarılması bu tanımlama için yeterli olacaktır. Eğer 2 adet FPAA kullanan bir zincir tanımlanmak istenirse J2 ve J3' ün çıkarılması gerekmektedir. Eğer 1 adet FPAA kullanılmak isteniyorsa J1, J2 ve J3' ün birlikte çıkarılması gerekmektedir. Bütün atlamaların çıkarılması durumunda, bir adet FPAA programlanabilmektedir.



Şekil 3.7. Değişken sayıda FPAA zinciri oluşturulması.

3.1.5.3. Flash Hafıza Modu

Platformun normal kullanımında, platformun bilgisayar bağlantısı yapıldığında ve enerjisi verildiğinde ilk konfigürasyon verisini almak için hazır olarak beklemektedir. Bu aşamadan sonra gönderilen herhangi bir konfigürasyon verisi, mikrodenetleyici tarafından FPAA' lere indirilmektedir. Platformun enerjisinin kesilmesi ya da "reset" işlemine tabi tutulması FPAA' lerde bulunan mevcut konfigürasyonu silmektedir. Bu yapı istenen ya da istenmeyen bir özellik olabilir. Tasarımcı, ölçüm odaklı çalışmak isteyebilir ve her seferinde aynı konfigürasyon ile FPAA' leri programlamak istemeyebilir. Bu sebeple, platformda flash hafıza modunun kullanımına imkan veren bir atlama pini bulunmaktadır. 16 MHz' lik osilatör devresinin hemen sağ kısmında bulunan, genel amaçlı mikrodenetleyici G/Ç uçlarından Şekil 3.6' da gösterilen 59 numaralı pinin toprağa çekilmesiyle flash hafıza modu aktif edilmiş olacaktır. Gerekli atlamanın yapılıp platforma "reset" atılmasıyla beraber, FPAA' ler boş devrelerle

yapılandırılmaktadır ve konfigürasyonun bittiği bilgisini veren yeşil LED sürekli yanmaktadır. Bu aşamadan sonra Anadigm Designer 2™ tarafından gönderilen herhangi bir konfigürasyon verisi, öncelikle PIC mikrodenetleyicisinin flash hafızasına yazılmaktadır ve ardından FPAA' lere indirilmektedir. Flash hafıza modu sayesinde, FPAA' lere indirilen devre tasarımı "reset" işleminden ya da enerji kesilmesinden etkilenmemektedir. Olası bir "reset" işlemi ya da enerji kesintisiyle karşılaşılması halinde, PIC mikrodenetleyicisi flash hafızasına gömülen son konfigürasyon verisi ile FPAA' leri programlamaktadır.

3.1.5.4. Test Devresi

Platform, PIC32 içersinde gömülü olan konfigürasyon sayesinde kendi kendini test etme özelliğine sahiptir. Test devresini aktif etmek için Şekil 3.6' da gösterilen 58 numaralı pin atlama kablosu ile toprağa çekilmeli ardından platforma "reset" butonu aracılığıyla "reset" atılmalıdır. FPAA' lerin konfigürasyon işlemi tamamlandığında yeşil LED sürekli yanar durumda kalarak konfigürasyonun başarıyla tamamlandığını kullanıcıya bildirmektedir. Söz konusu test devresi, her FPAA' in 7 adet çıkışından (14 adet diferansiyel çıkış) sinüsoidal dalga vermektedir. Sinüs dalgası FPAA1' de 1 kHz' lik, FPAA2' de 2 kHz' lik, FPAA3' te 4 kHz' lik, FPAA4' te 8 kHz' lik frekansa sahip olmaktadır. Mevcut platforma başka bir platformun eklenmesi durumunda, eklenen platformda da aynı frekanslara sahip sinüsoidal dalgalar sırayla görülmektedir. Test devresi, bütün platformun doğru çalıştığının göstergesi niteliğindedir ve montajdan sonra çabuk test imkanı sağlamaktadır.

3.1.5.5. VMR (Voltage Main Reference)

Her FPAA' de 1 adet VMR (**V**oltage **M**ain **R**eference-Ana Voltaj Referansı) çıkışı mevcuttur. Platform tasarlanırken, bir FPAA' in iki yanından (kullanıcıya göre sağ ve sol) VMR pinine ulaşılabilmesi uygun görülmüştür. Her FPAA' in iki yanından VMR pinlerine ulaşılabilmesi, platform üzerinde devre bağlantıları oluştururken kullanıcıya kolaylık sağlamaktadır.

3.1.5.6. Analog Erişim Noktaları

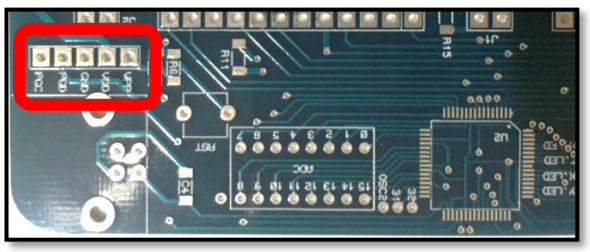
Plaftorm üzerinde bulunan 4 adet FPAA' in her birinin G/Ç ve VMR pini, FPAA' leri çevreleyen pin delikleri ile donatılmıştır. Pin delikleri, erkek ya da dişi header pin yerleştirmek için uygun boyutta tasarlanmıştır. Belirtilen deliklere erkek tip pin montajlanması, ölçüm ve ekstra bağlantılar kurmak açısından uygun olduğu düşünülmekte olup, tez çalışması için montajlanan devrede de bu şekilde kullanılmıştır.

3.1.5.7. Analog Saat Sinyali (Clock)

Platformda bulunan PIC32MX440F512H mikrodenetleyicisi ve 4 adet FPAA, görevlerini yerine getirebilmesi için saat sinyal kaynağına ihtiyaç duymaktadır. Platformun sol üst köşesine yerleştirilen 16 MHz' lik osilatör hem mikrodenetleyicinin hem de FPAA' lerin bu ihtiyacını karşılamaktadır.

3.1.5.8. PIC32 Programlama Pinleri

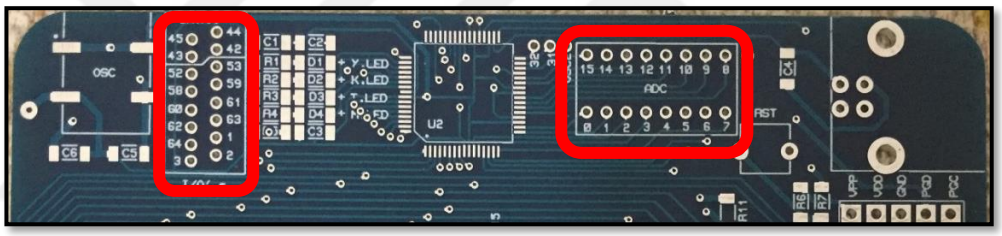
Microchip tarafından üretilen PIC serisi mikrodenetleyicilerin programlanması bir firma standardı olarak 5 pin üzerinden yapılmaktadır. Herhangi bir PIC' de bulunabilecek PGC, PGD, VPP, GND, VDD pinleri programlama arayüzüne ulaşmak için kullanılmaktadır ve bu yapı PIC32 ailesinde de mevcuttur. Platformda kullanılan PIC, 32 bitlik bir mikrodenetleyici olup 512 Kb program hafızasına sahiptir. Mikrodenetleyici, başka kılıf seçeneklerine sahip olmakla beraber tez çalışması için tasarlanan platformda QFN64 kılıfın kullanılması uygun görülmüştür. Bu kılıfta bir PIC mikrodenetleyicinin programlama işlemi, tümdevreyi sök-programla-tak şeklinde yapılamayacağı için platform üzerinde Şekil 3.8' de kırmızı kutuyla belirtilen programlama pinlerine sürekli ulaşma imkanı veren bir pin grubu bulunmaktadır.



Şekil 3.8. PIC programlama pinleri.

3.1.5.9. PIC32 ADC Kanalları ve Genel Amaçlı Pinler

Platformun daha etkili kullanılabilmesi için PIC32 mikrodenetleyicisinin aktif olarak kullanılmayan uçları Şekil 3.8' de soldaki kırmızı kutu içerisinde görüldüğü üzere platformun sol üst köşesinde pin delikleri grubu olarak toplanmıştır. Bu grup PIC32 kesme rutinlerine ulaşmaya imkan sağlamakla beraber, gömülü yazılım geliştirmek isteyen tasarımcılar için genel amaçlı G/Ç uçları olarak da kullanılabilmektedir. Şekil 3.9' da sağdaki kırmızı kutu ile belirtilen pin delikleri grubu ise 16 adet pin deliklerinden oluşmaktadır ve PIC32 mikrodenetleyicisinin AN0-AN15 olarak isimlendirilen ADC pinlerine ulaşma imkanı vermektedir. Platformda kullanılan PIC32, 16 x 10 bit Analog-to-Digital çevresel ünitesine sahiptir. Ayrıca pin delikleri erkek tip pinler için uygundur.



Şekil 3.9. PIC32 kesme,genel amaçlı pinler ve ADC kanalları.

3.1.5.10. DIP Anahtarlar

Platformu kullanan tasarımcı, herhangi bir FPAA girişini ya da herhangi bir FPAA çıkışını atlama kabloları kullanarak istenen bağlantıları gerçekleştirebilmektedir. Platformda ekstra atlama kablosu kullanmaya gerek kalmadan kolay bağlantılar sağlamak açısından komşu FPAA' ler arasına 8' li DIP anahtarlar yerleştirilmiştir. Gerçekleştirilebilecek bağlantılar Tablo 3.1' de verilmiştir. Ayrıca platform üzerinde DIP anahtara ait açık/kapalı konum bilgileri okunaklı biçimde yazılarak tasarımcının kolay çalışabilmesi amaçlanmıştır.

Tablo 3.1. DIP anahtarlar ile gerçekleşebilen bağlantılar.

İlgili FPAA' ler ve Pin İsimleri		**İlgili DIP Anahtar No**	**İlgili Pin No**
FPAA1 - IO3	FPAA2 - IO1	1	1-2
FPAA1 - IO4	FPAA2 - IO2	1	3-4
FPAA2 – IO3	FPAA1 – IO1	1	5-6
FPAA2 – IO4	FPAA1 – IO2	1	7-8
FPAA2 - IO3	FPAA3 - IO1	2	1-2
FPAA2 - IO4	FPAA3 - IO2	2	3-4
FPAA3 – IO3	FPAA2 – IO1	2	5-6
FPAA3 – IO4	FPAA2 – IO2	2	7-8
FPAA3 - IO3	FPAA4 - IO1	3	1-2
FPAA3 - IO4	FPAA4 - IO2	3	3-4
FPAA4 – IO3	FPAA3 – IO1	3	5-6
FPAA4 – IO4	FPAA3 – IO2	3	7-8

3.1.5.11. Atlamalar

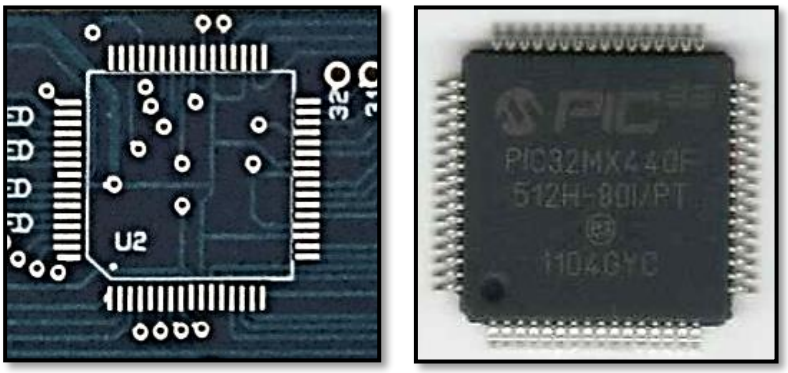
Üretici firma tarafından piyasaya sürülen geliştirme platformlarında çok sayıda 2 pinli atlama olmasının kafa karışıklığına sebep olduğu ve tasarımcıyı donanım bilgisine yönlendirdiğinden daha önce bahsedilmişti. Bu nedenle platform üzerindeki atlama sayısı emsallerine göre az tutularak anlaşılabilirliği arttırmak hedeflenmektedir. Tablo 3.2' de platformda bulunan atlamalar ve görevleri gösterilmektedir.

Tablo 3.2. Platformdaki atlamalar ve fonksiyonları.

Jumper No	Fonksiyon
J1	FPAA1 ve FPAA2 zinciri
J1, J2	FPAA1, FPAA2 ve FPAA3 zinciri
J1, J2, J3	FPAA1, FPAA2, FPAA3 ve FPAA4 zinciri

3.1.6. PIC32MX440F512H

Platform ile bilgisayar arayüz programı arasında bağlantı kurulmasını, FPAA bloklarının programlanmasını ve platform üzerinde gerekli diğer kontrollerin yapılması PIC32 mikrodenetleyicisi tarafından gerçekleştirilmektedir. Yüksek performanslı RISC mimarisine sahip 32 bit veriyolu ile 64 pin veya 100 pin seçenekleri sahip olan bu mikrodenetleyici, genel amaçlı ve USB bağlantı içeren uygulamalarda kullanılmaktadır. Söz konusu mikrodenetleyici ile ilgili olarak kılıf ve pin sayısı açısından seçenekler fazla olmakla beraber, tez çalışmasında 64 pine sahip TQFP kılıflı olan mikrodenetleyicinin kullanılması uygun bulunmuştur. Şekil 3.10(a)' da platform üzerinde kullanılan pin kılıfı gösterilmektedir. PIC32 ailesinin çok sayıda üyesi bulunmaktadır. Platformda kullanılan aygıt ise Şekil 3.10(b)' de gösterilen PIC32MX440F512H' dır. Aile üyelerinin birçok özelliği benzer olup temel farklılıklar flash hafıza büyüklüğü ve çevresel ünitelerin sayısında ortaya çıkmaktadır. Mikrodenetleyiciye 10 MHz ile 40 MHz arasında kristal osilatör bağlanabilmektedir.



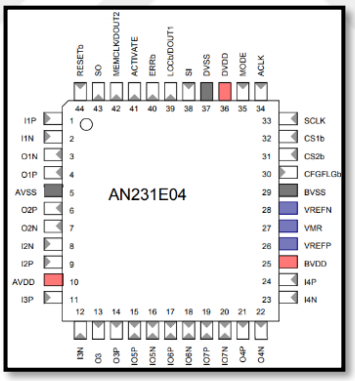
(a) (b)

Şekil 3.10. PIC32MX440F512H' e ait (a) 64 pin TQFP kılıf, (b) fiziksel görünüm.

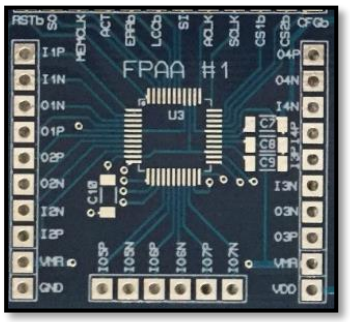
32 kHz ya da 8 MHz dahili osilatör seçenekleri de mevcut olup istendiğinde kristal osilatör kullanılmasına gerek kalmamaktadır. 2.3 Volt ile 3.6 Volt arasında DC voltaj girişine imkan tanıyan tümdevre, USB 2.0 uyumludur. IEEE 1149.2 standardı kapsamında tümdevreyi programlamak için JTAG arayüzü ve debugger (hata ayıklayıcı) mevcuttur. Tümdevre ayrıca ICSP (VPP, PGD, PGC) üzerinden de programlamaya imkan vermektedir.

3.1.7. Anadigm AN231E04

Platformda dört adet AN231E04 kullanıldığından ve kullanılma sebeplerinden daha önce bahsedilmişti. Şekil 3.11(a)' da tümdevreye ait pin diyagramı gösterilmiştir. AN231E04, Şekil 3.11(b)' de gösterilen tek tip kılıfta üretilmektedir. Şekil 3.11(c)' de gösterilen QFN 44 adet pine sahip olan tümdevre, 7 mm x 7 mm x 0.9 mm fiziksel boyutlarındadır. Tümdevrenin bir kenarı 7 mm olup, 7 mm' de 11 adet pin bulunmaktadır.



(a)



(b)

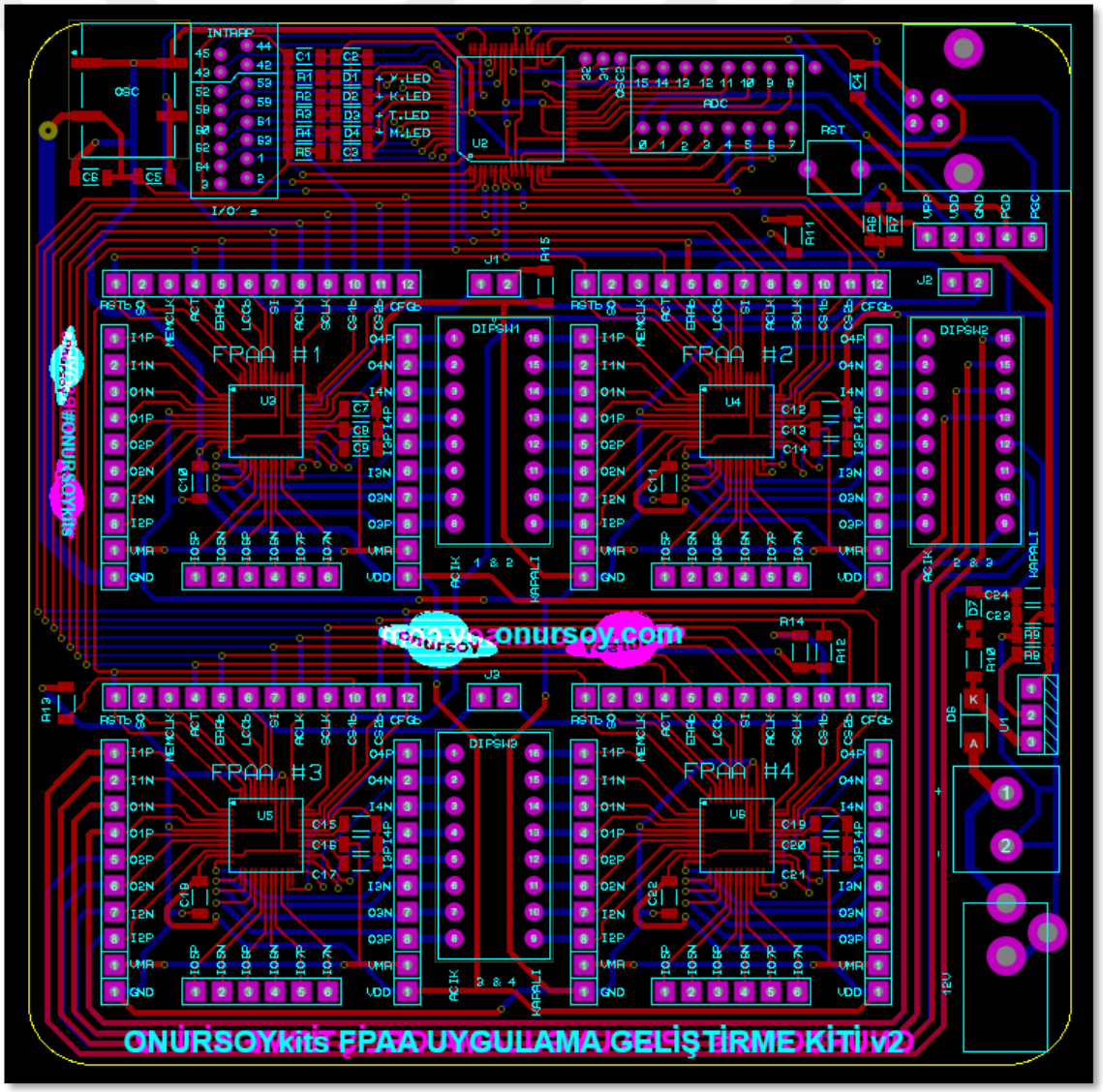


(c)

Şekil 3.11. AN231E04' e ait (a) pin diyagramı, (b) QFN-44 kılıf gösterimi, (c) fiziksel görünüm.

3.1.8. Baskı Devre Tasarımı ve Montaj

Baskı devre tasarımında bağlantı yollarının fazla olması ve FPAA ile mikrodenetleyici kılıflarının sadece yüzey montajına imkan vermesi sebebiyle PCB iki katmanlı tasarlanmıştır. Şekil 3.12' de iki katmanlı baskı devre tasarımı görülmektedir. Baskı devre tasarım süreci tamamlandıktan sonra PCB' ler orjinal baskı olarak ürettirilmiştir. PCB' lerin montajında ise dizgi yöntemi kullanılmamış olup tamamen laboratuvar ortamında montaj işlemleri gerçekleştirilmiştir. Tez çalışması kapsamında bir adet PCB tam anlamıyla montaj edilmiş ve çalışır hale getirilmiştir.



Şekil 3.12. Çift katmanlı baskı devre tasarımı.

3.2. FPAA Tabanlı Sistem Geliştirme Platformu Uygulamaları

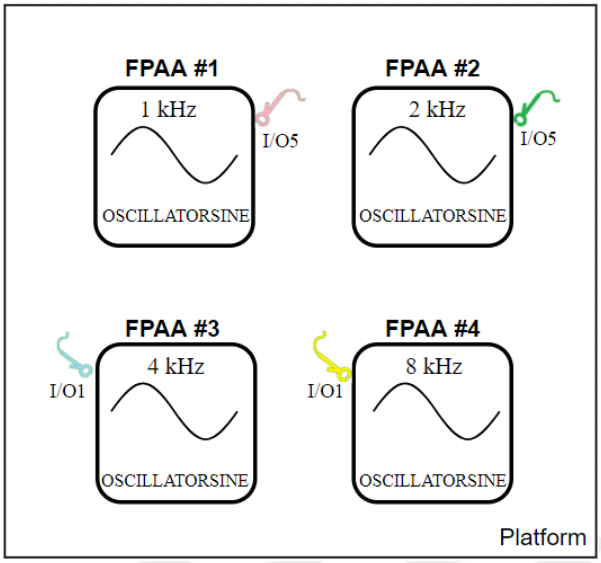
Bu bölümde, tasarımı gerçekleştirilen yapının kontrol edilmesi amacıyla Anadigm Designer 2™ arayüzünde bulunan CAM' ler kullanılarak lineer ve lineer olmayan devre yapılarını temsil eden temel uygulamalar platform üzerinde denenmiştir.

3.2.1. Lineer Devre Uygulamaları

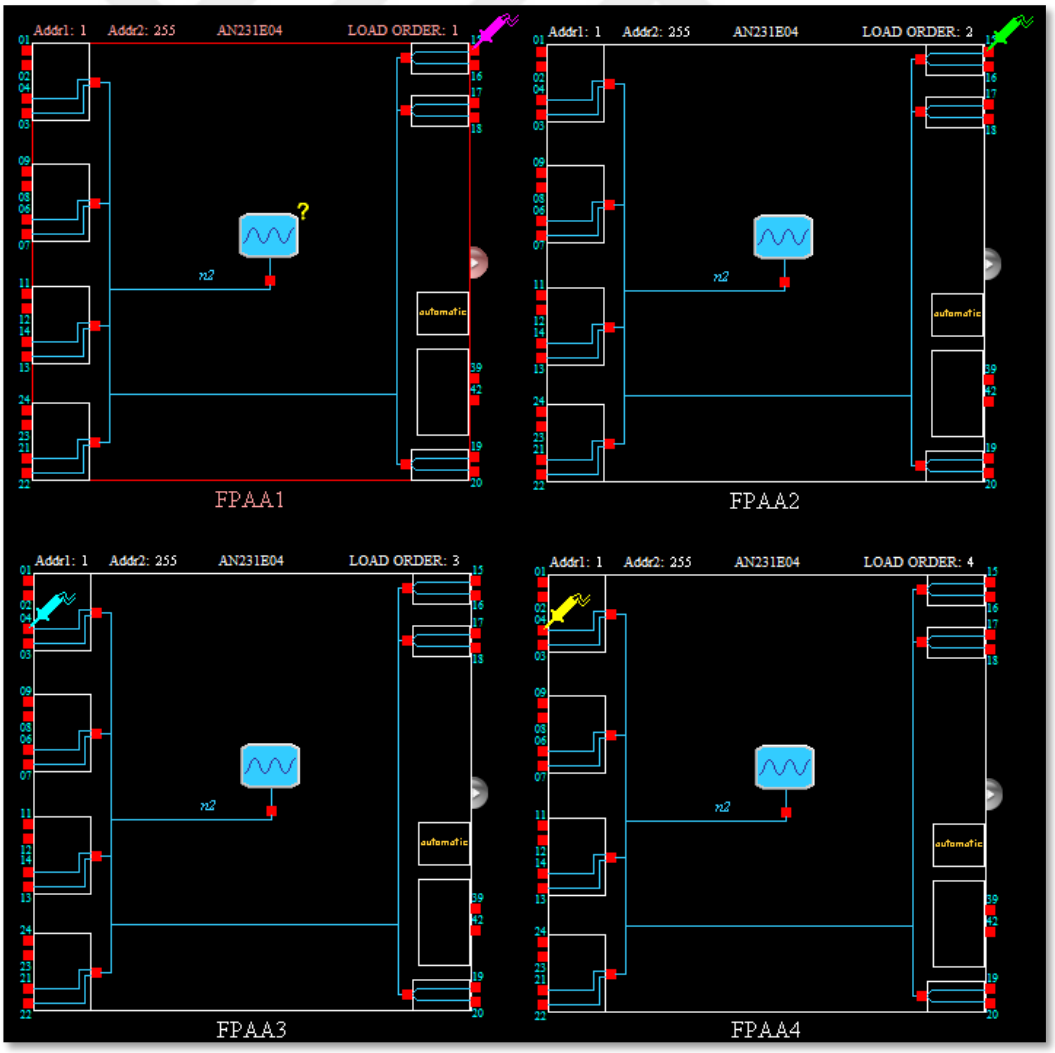
Bu bölümde, lineer elektronik devre uygulamalarından popüler olarak kullanılan devre yapıları, test devreleri mahiyetinde platform üzerinde uygulanmış olup açıklamalar, blok diyagramlar, devre yapılarının Anadigm Designer 2™' deki karşılıkları, simülasyon sonuçları ve osiloskopta gözlemlenen sonuçlar sunulmaktadır.

3.2.1.1. Uygulama Devresi-I

Platformun sahip olduğu test devresi özelliğinden bölüm 3.1.5.4' te bahsedilmişti. Bu bölümde ise Anadigm Designer 2™ arayüz programında oluşturulan temsili devreden, devre tasarımında kullanılan yapılandırılabilir analog modüllerden ve ayarlarından, arayüz içerisinde dalga formunu görmeye yarayan simülasyon görüntülerinden ve FPAA çıkışlarının osiloskopta gözlemlenmesiyle elde edilen deneysel sonuçlardan bahsedilecektir. Şekil 3.13' te platform üzerinde bulunan dört FPAA' in de sinüsoidal dalga üreteci olarak kullanıldığını gösteren blok diyagram görülmektedir. Bu diyagrama göre FPAA' ler her FPAA' in bütün çıkışlarından sonuç gözlemlenebilecek şekilde yapılandırılmıştır. Şekil 3.14' te uygulama devresi-I için Anadigm Designer 2™' de tasarlanan temsili devresi görülmektedir. Devrede dört adet FPAA birlikte zincir yapısında kullanılmıştır, ancak FPAA' lerin giriş/çıkışları birbirlerinden bağımsızdır. Her FPAA içerisinde bir adet sinuosidal dalga üreteci bulunmaktadır. Bu devre tasarımına göre FPAA1 çıkışlarında 1 kHz' lik, FPAA2 çıkışlarında 2 kHz' lik, FPAA3 çıkışlarında 4 kHz' lik, FPAA4 çıkışlarında 8 kHz' lik sinüs dalgası gözlemlenmesi gerekmektedir. Şekil 3.14' te FPAA' lere yerleştirilen osiloskop probları (pembe, yeşil, mavi, sarı) görülmektedir. Problar; FPAA1' de I/O5 (**I**nput/**O**utput-Giriş/Çıkış), FPAA2' de I/O5, FPAA3' te I/O1 ve FPAA4' te I/O1 uçlarına bağlanmıştır. Bu problardan alınan simülasyon sonuçları Şekil 3.15' te verilmektedir.

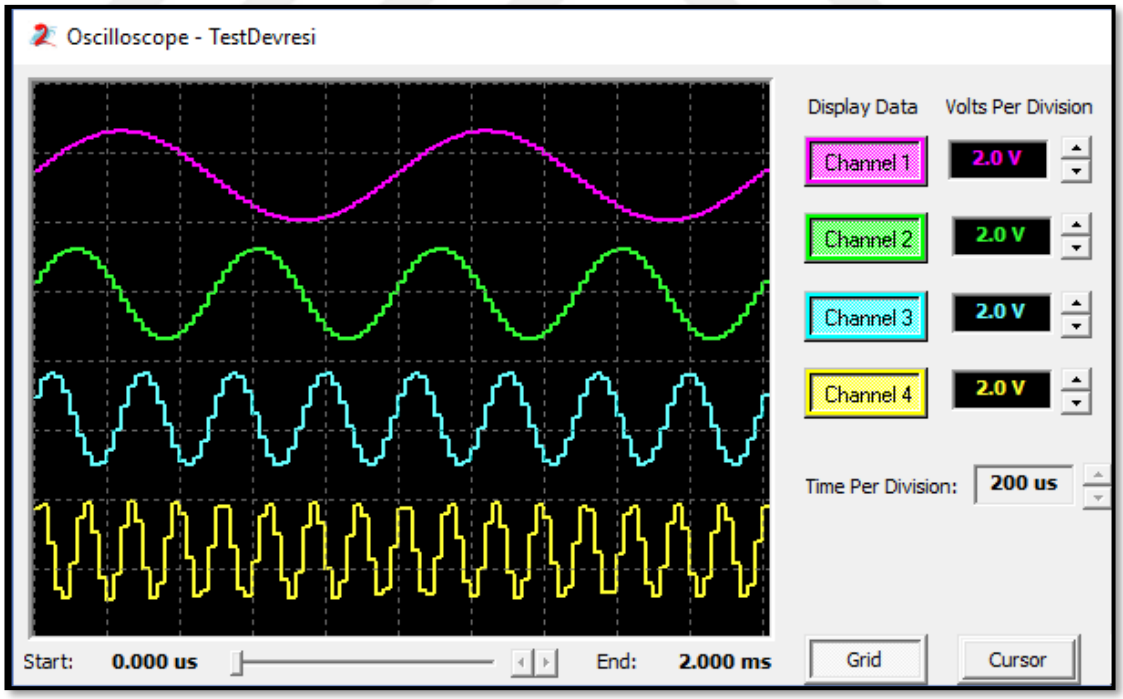


Şekil 3.13. Uygulama devresi-I blok diyagramı.

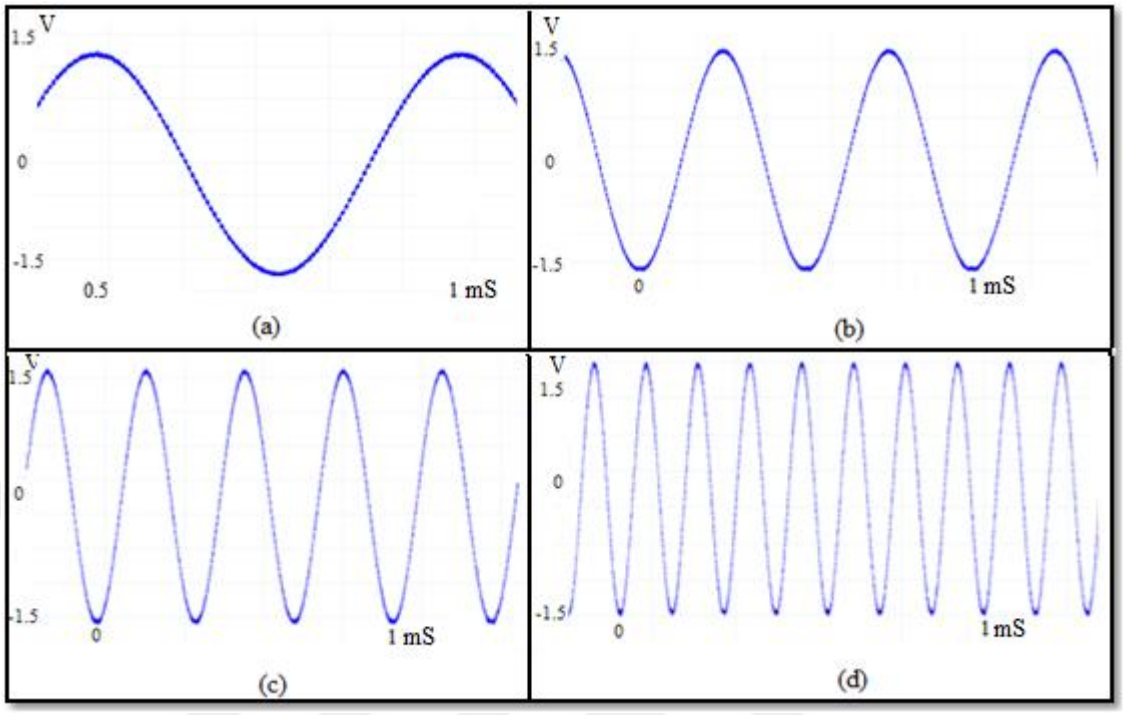


Şekil 3.14. Uygulama devresi-I Anadigm Designer 2™ tasarımı.

Şekil 3.14’ deki analog tasarımda platformu besleyen ve ACLK olarak saat sinyali 16 MHz’ dir. Buna bağlı olarak üretilen SYS1 ve SYS2 frekansları sırasıyla 200 kHz ve 16 MHz’ dir. FPAA’ ler içerisine yerleştirilen OSCILLATORSINE CAM’ leri ise SYS1 temel frekansına bağlıdır ve 50 kHz’ de çalıştırılmaktadır. Çıkışta elde edilen sinyaller sırasıyla 1 kHz, 2 kHz, 4 kHz ve 8 kHz’ dir. Test devresinin “C” dilindeki kodları, PIC32 mikrodenetleyicisi içerisinde gömülü olarak bulunmaktadır. Mikrodenetleyicinin ilgili pinine gerekli tetikleme sinyali verildiğinde, gömülü yazılım test devresi rutinine dallanmakta ve FPAA programlama rutinlerini işletmektedir. Platformda kullanılan PIC32, 512 Kb’ lık hafızasıyla bu gibi birçok gömülü yazılım geliştirmeye son derece müsaittir. Test devresinin sonuçları, daha önce bahsedildiği üzere FPAA’ leri bilgisayar arayüzünden programlamaya gerek kalmadan PIC32’ ye ait 58 numaralı genel amaçlı giriş/çıkış ucunun toprağa çekilmesiyle gözlemlenebilmektedir. Bu yapı, platformun montajı sırasında kontrol amaçlı kolaylık sağlamaktadır. Şekil 3.16’ da laboratuvar ortamında elde edilen deneysel sonuçlar gösterilmektedir.



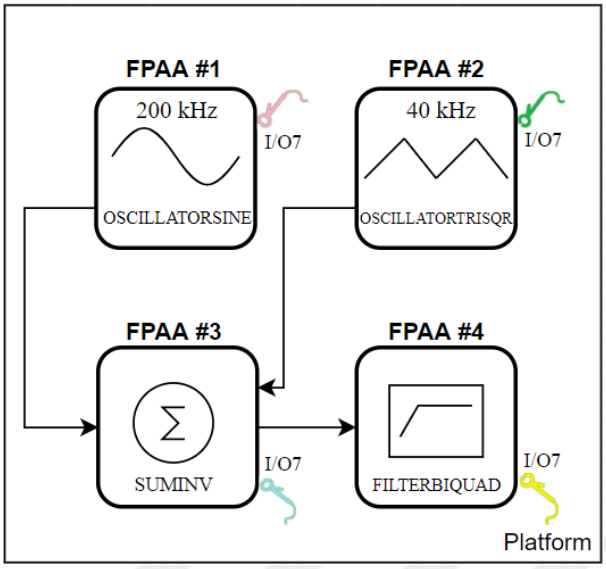
Şekil 3.15. Uygulama devresi-I’ e ait simülasyon sonucu.



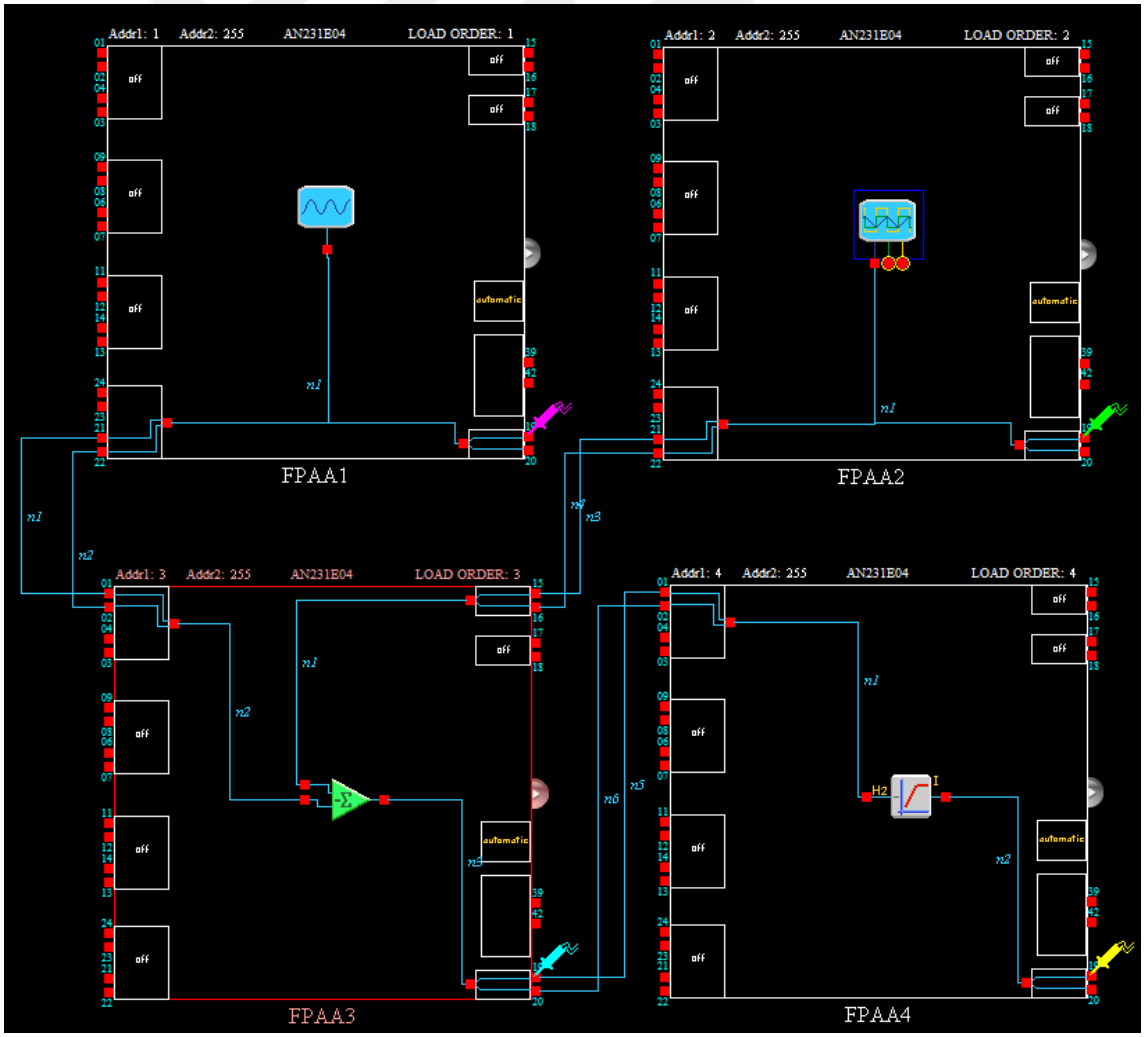
Şekil 3.16. Uygulama devresi-I' e ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali.

3.2.1.2. Uygulama Devresi-II

İşaret üretimi, işaretlerin toplanması ve sonucun filtreden geçirilerek istenen işaretin elde edilmesi amaçlanan devrenin Şekil 3.17' de blok diyagramı görülmektedir. 200 kHz' lik sinüsoidal işaret ile 40 kHz' lik üçgen işaret toplanarak üst üste bindirilmiştir. Toplanan işaretler son olarak yüksek geçiren bir filtreden geçirilmiştir. Şekil 3.18' de Anadigm Designer 2™ arayüz programında tasarlanan devre gösterilmiştir. İlk FPAA, sinüsoidal işaret kaynağı olarak kullanılmıştır ve üretilen işaret üçüncü FPAA' e giriş olarak verilmiştir. İkinci FPAA, üçgen işaret üretmek için kullanılmıştır ve işaretin olduğu çıkış yine üçüncü FPAA' e giriş olarak uygulanmıştır. Üçüncü FPAA, girişine uygulanan iki farklı işareti toplamakla görevlendirilmiştir. Toplanan işaret üçüncü FPAA çıkışından alınarak dördüncü FPAA' e giriş olarak uygulanmıştır. Dördüncü FPAA gelen işareti yüksek geçiren filtreden geçirerek çıkışına yansıtmıştır. Devrede, bir adet OSCILLATORSIN, bir adet OSCILLATORTRISQR, bir adet SUMINV, bir adet FILTERBIQUAD yapılandırılabilir analog modül kullanılmıştır.

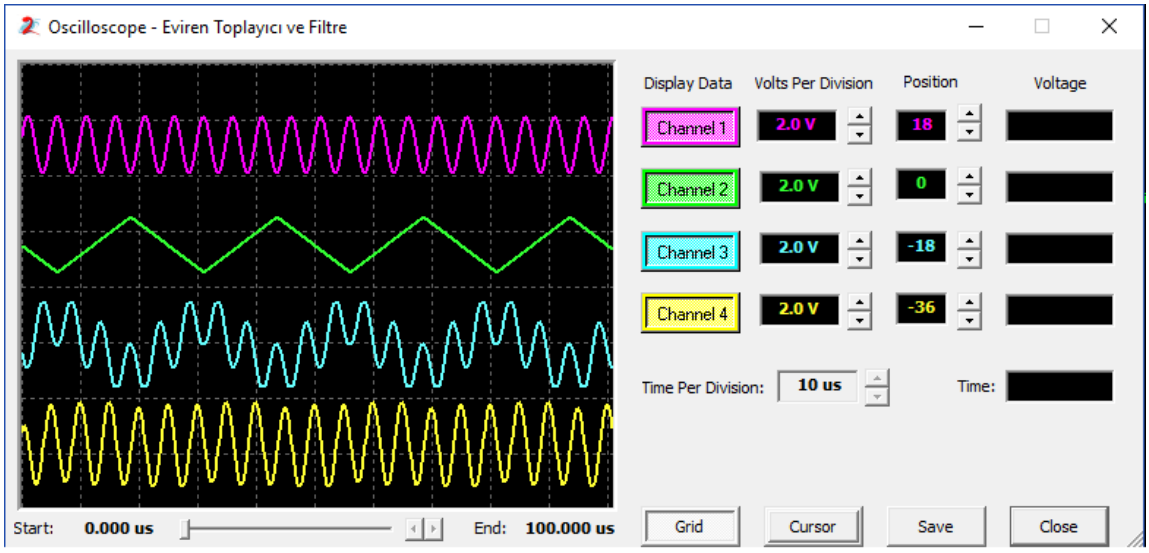


Şekil 3.17. Uygulama devresi-II blok diyagramı.

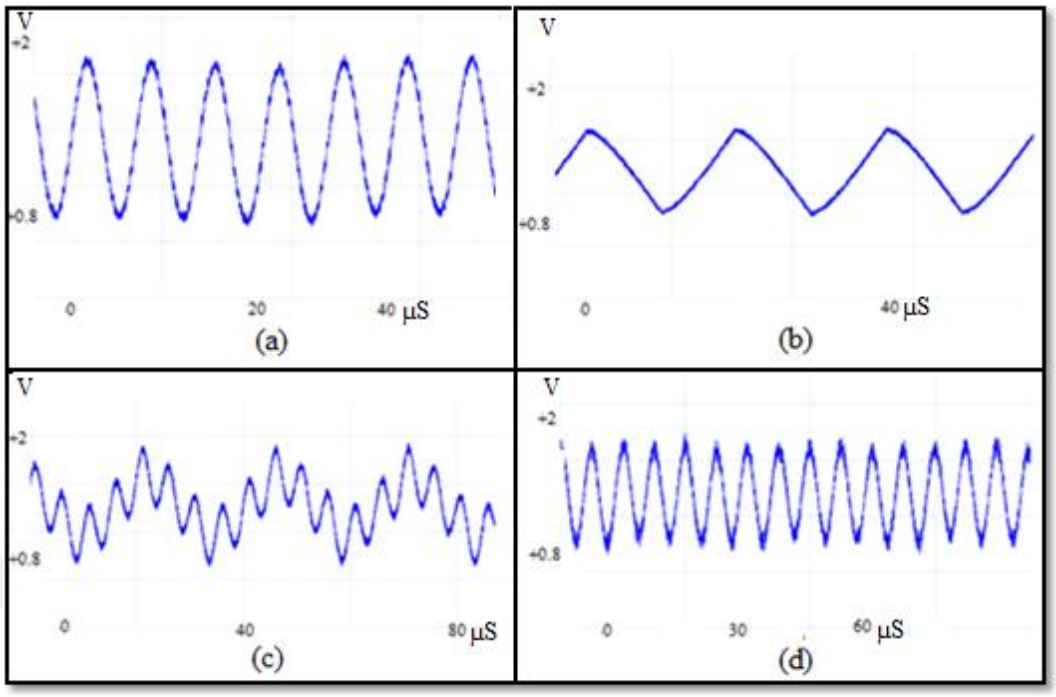


Şekil 3.18. Uygulama devresi-II Anadigm Designer 2™ tasarımı.

Şekil 3.18’ de birinci FPAA, 20 kHz 2 Volt’ luk sinüsoidal dalga üretmektedir. İkinci FPAA, 40 kHz 2 Volt’ luk üçgen dalga üretmektedir. Üçüncü FPAA’ de bulunan CAM, bir eviren toplayıcı devresidir ve SYS1 saat saat sinyali üzerinden bölünerek elde edilen Clock0 ile sürülmektedir. Bu saat sinyalinin frekansı ise 4000 kHz’ dir. Eviren toplayıcı, girişine uygulanan işaretlere birim kazanç uygulamaktadır, bir başka ifadeyler işaretleri olduğu gibi toplamaktadır. Dördüncü FPAA’ de bulunan CAM, 175 kHz köşe frekansına ve 0.707 kalite faktörüne sahip bir yüksek geçiren filtredir. Ayrıca bu filtrenin kazanç katsayısı 2’ dir. Bahsedilen parametrelerin hepsi arayüz programında değiştirilebilmektedir. Yüksek geçiren filtre ile üst üste bindirilen iki işaretten yüksek frekanslı olanının tekrar elde edilmesi hedeflenmiştir. Şekilde gösterilen zaman bölmeleri 2 µS’ dir. Hedefe göre, ilk FPAA’ e uygulanan giriş işareti, tekrar elde edilmiş olup, elde edilen işaretin yarı yarıya güç kaybına uğradığı gözlemlenmiştir. Şekil 3.18’ de FPAA’ lere yerleştirilen osiloskop probları (pembe, yeşil, mavi, sarı) görülmektedir. Problar; FPAA1’ de I/O7 (**I**nput/**O**utput-Giriş/Çıkış), FPAA2’ de I/O7, FPAA3’ te I/O7 ve FPAA4’ te I/O7 uçlarına bağlanmıştır. Bu problardan alınan simülasyon sonuçları Şekil 3.19’ da verilmektedir. Uygulama devresi-II, geliştirilen platform üzerinde denenmiş ve elde edilen deneysel sonuçlar Şekil 3.20’ de sunulmaktadır.



Şekil 3.19. Uygulama devresi-II’ ye ait simülasyon sonucu.



Şekil 3.20. Uygulama devresi-II' ye ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali

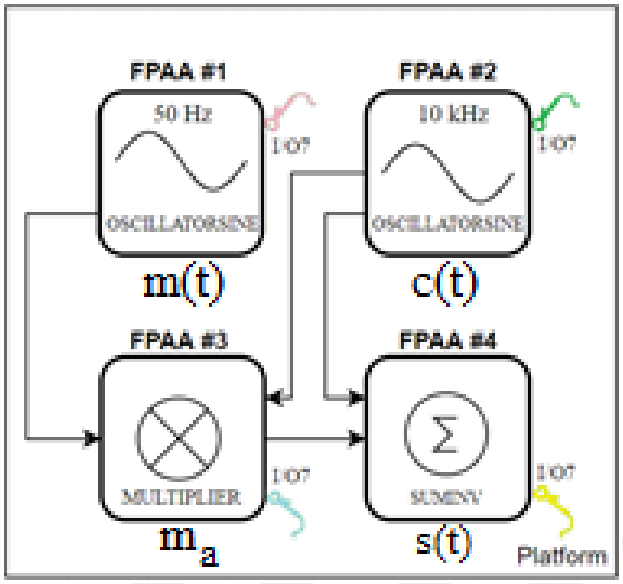
3.2.1.3. Uygulama Devresi-III

Uygulama Devresi-III' te analog haberleşme sistemlerinden olan çift yan band genlik modülasyon tekniği Şekil 3.21' de blok diyagramı gösterildiği üzere uygulanmıştır. Genlik modülasyonunda taşıyıcı işaretin genliğinin bilgi işaretinin genliğine bağlı olarak değiştirilmesi tekniği uygulanır. Taşıyıcılı genlik modülasyonunun genel formülü Denklem (3.1)' de verilmiştir.

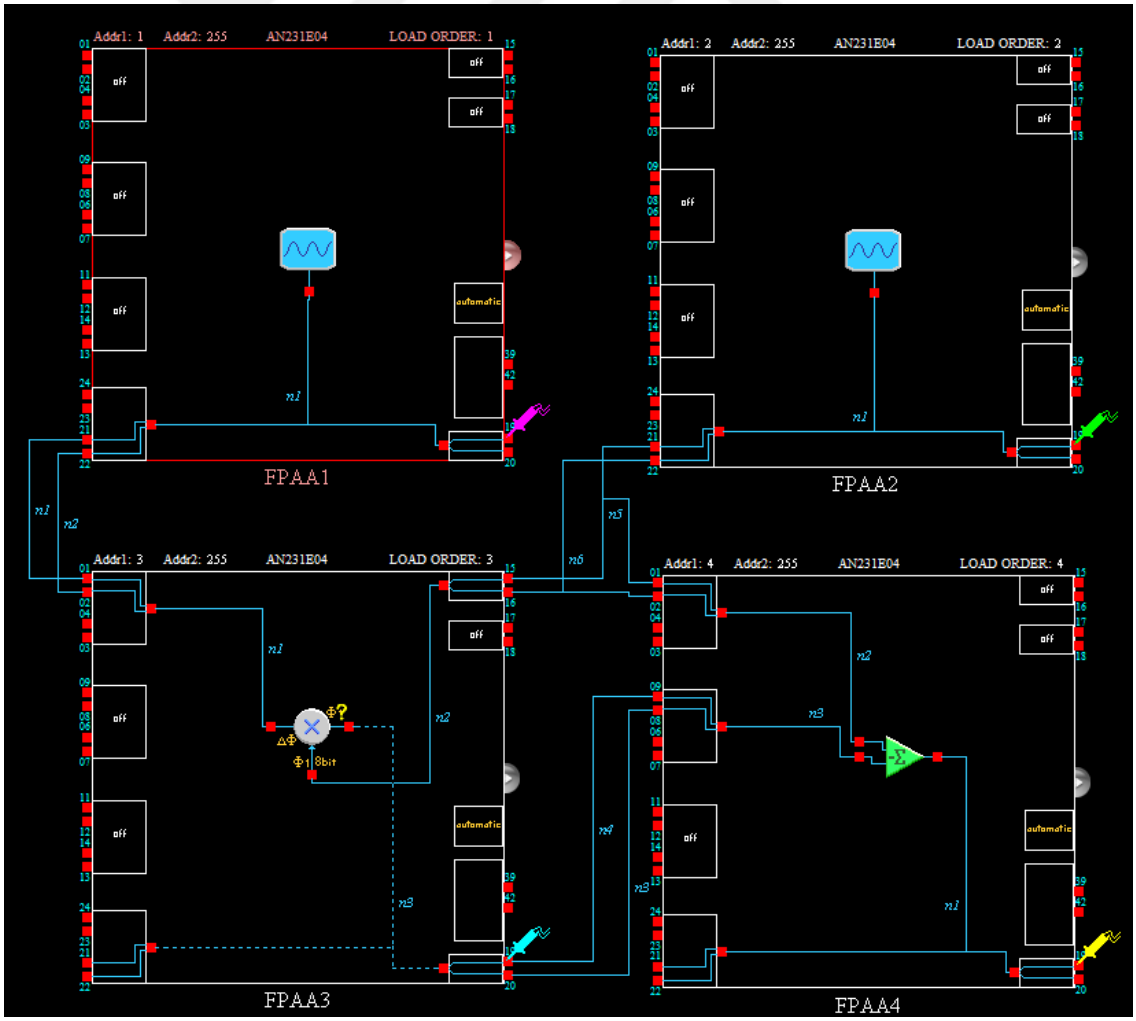
$$s(t)_{AM} = [1 + m_a \cdot m(t)] \cdot c(t) \tag{3.1}$$

Burada $c(t) = A_c \cdot \cos(w_c t + \phi)$ taşıyıcı, $m(t)$ bilgi işareti, m_a ise bilgi işaretinin genliğini sınırlamaya yarayan bir modülasyon indeksidir. Yukarıdaki denklemde c(t) yerine konarak denklem düzenlendiğinde Denklem (3.2) elde edilmektedir. Denklem (3.2)' de görüldüğü üzere, modüleli işaretin içinde taşıyıcı işaret ayrı bir terim olarak bulunmaktadır.

$$s(t)_{AM} = [1 + m_a \cdot m(t)] \cdot A_c \cdot \cos(w_c t + \phi) = A_c \cdot \cos(w_c t + \phi) + A_c \cdot m_a \cdot m(t) \cdot \cos(w_c t + \phi) \tag{3.2}$$



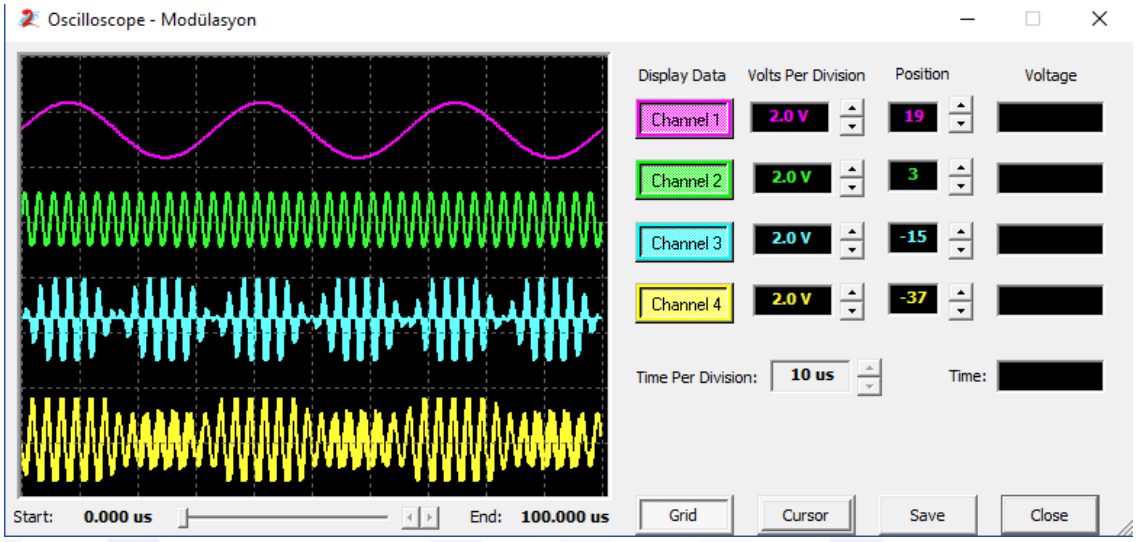
Şekil 3.21. Uygulama devresi-III blok diyagramı.



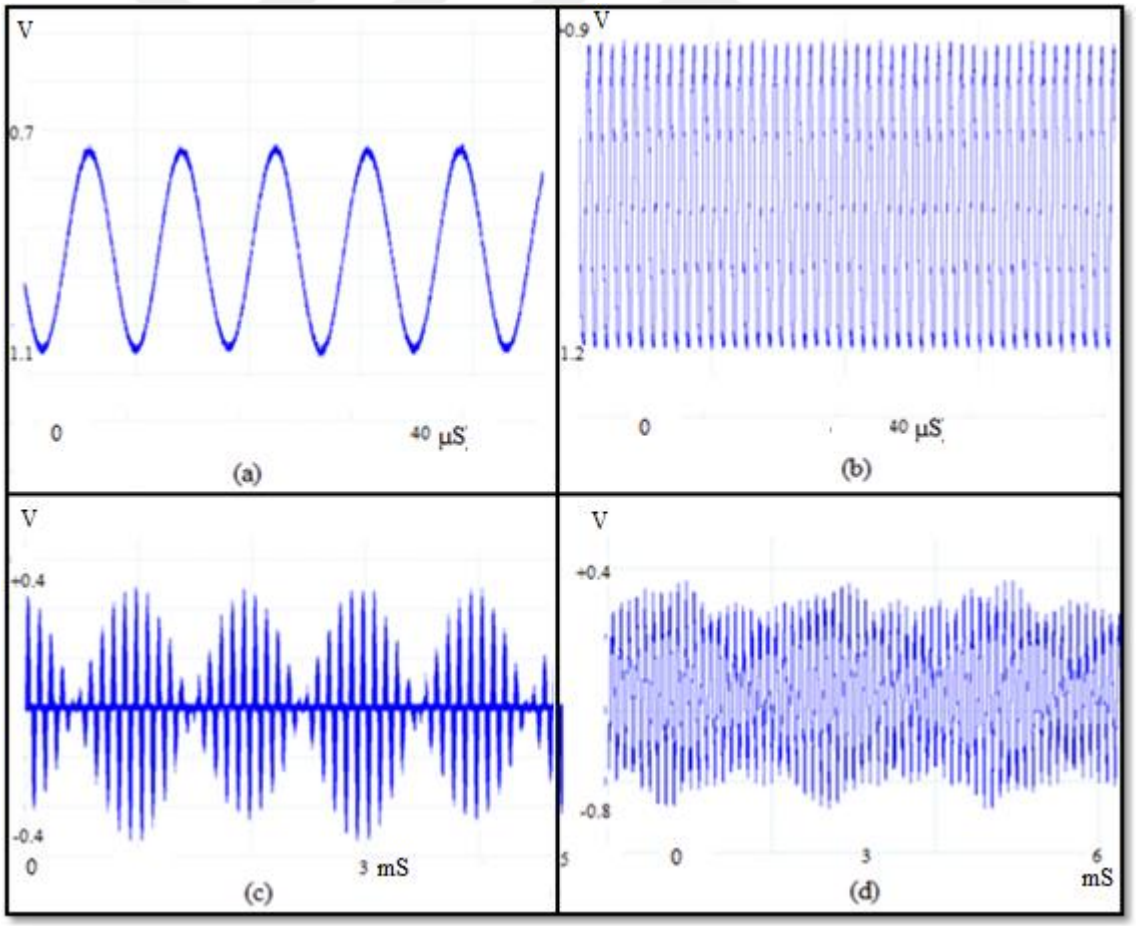
Şekil 3.22. Uygulama devresi-III Anadigm Designer 2™ tasarımı.

Şekil 3.21’ deki blok diyagramda gösterildiği üzere ilk FPAA’ de ($m(t)$) bilgi işareti üretilmekte olup bu işaret üçüncü FPAA’ de (m_a) katsayısı ile çarpılmaktadır. İkinci FPAA’ de ($c(t)$) taşıyıcı işareti üretilmekte olup bu işaret de üçüncü FPAA’ ye çarpan olarak katılmaktadır. Dördüncü FPAA, çarpım işlemi sonunda elde edilen işaret ile taşıyıcı frekansı toplamakta ve $s(t)$ işaretini üretmektedir. Şekil 3.22’ de Anadigm Designer 2™ programında tasarlanan devre sunulmuştur. İlk FPAA’ de 2 Volt 500 Hz’ lik sinüsoidal bilgi işareti üretilmiştir ve bu işaret üçüncü FPAA’ e uygulanmıştır. İkinci FPAA’ de 2 Volt 10 kHz’ lik sinüsoidal taşıyıcı işaret üretilmiş ve bu işaret üçüncü FPAA’ e uygulanmıştır. Üçüncü FPAA ise çarpıcı görevindedir ve girişlerine uygulanan iki farklı işareti çarpmaktadır. Dördüncü FPAA, Denklem (3.1) gereği çarpılmış işareti taşıyıcı frekans ile toplamaktadır. Devrede iki adet OSCILLATORSIN, bir adet MULTIPLIER, bir adet SUMINV yapılandırılabilir analog modül kullanılmıştır.

Şekil 3.22’ deki birinci FPAA, 500 Hz 2 Volt’ luk sinüsoidal bilgi işareti üretmektedir. İkinci FPAA, 10 kHz 2 Volt’ luk sinüsoidal taşıyıcı işaret üretmektedir. Üçüncü FPAA’ de bulunan CAM, bir çarpıcı devresidir ve çalışmak için iki farklı saat sinyaline ihtiyaç duymaktadır. SYS1 saat sinyali üzerinden bölünerek elde edilen Clock0 ve Clock3 bu çarpıcı modülü çalıştırmaktadır. Modülün çalışması için Clock0’ ın Clock3’ ten en az 16 kez büyük olması gerekmektedir. Burada Clock0 ve Clock3 saat sinyalleri sırasıyla 4000 kHz ve 250 kHz’ dir. Dördüncü FPAA’ de bulunan CAM ise bir eviren toplayıcı modülüdür. Bu modül, SYS1 saat sinyalinden elde edilen 2000 kHz’ lik Clock0 ile çalışmaktadır. Ayrıca toplayıcı girişine uygulanan sinyaller birim kuvvetlendirmeye tabi tutularak aynen kullanılmaktadır. Eviren kuvvetlendiriciye ait kazançlar ve bahsedilen parametrelerin hepsi arayüz programında değiştirilebilmektedir. Şekil 3.22’ de FPAA’ lere yerleştirilen osiloskop probları (pembe, yeşil, mavi, sarı) görülmektedir. Problar; FPAA1’ de I/O7 (**I**nput/**O**utput-Giriş/Çıkış), FPAA2’ de I/O7, FPAA3’ te I/O7 ve FPAA4’ te I/O7 uçlarına bağlanmıştır. Bu problardan alınan simülasyon sonuçları şekil 3.23’ te verilmektedir. Uygulama devresi-III, geliştirilen platform üzerinde denenmiş ve elde edilen deneysel sonuçlar Şekil 3.24’ te sunulmaktadır.



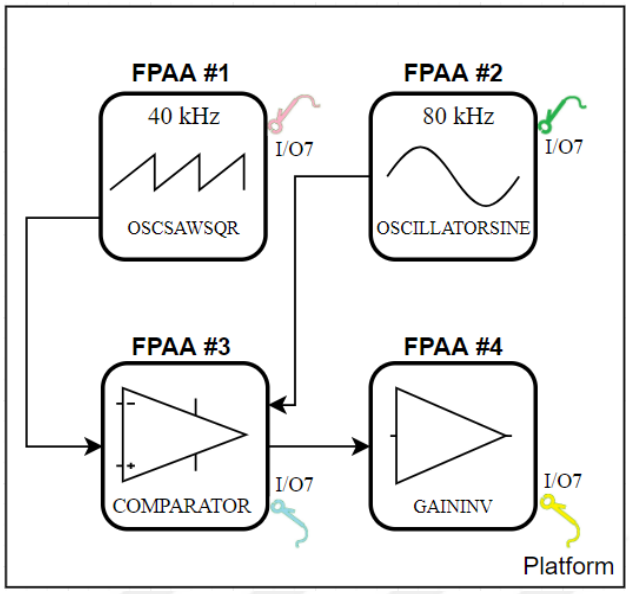
Şekil 3.23. Uygulama devresi-III' e ait simülasyon sonucu.



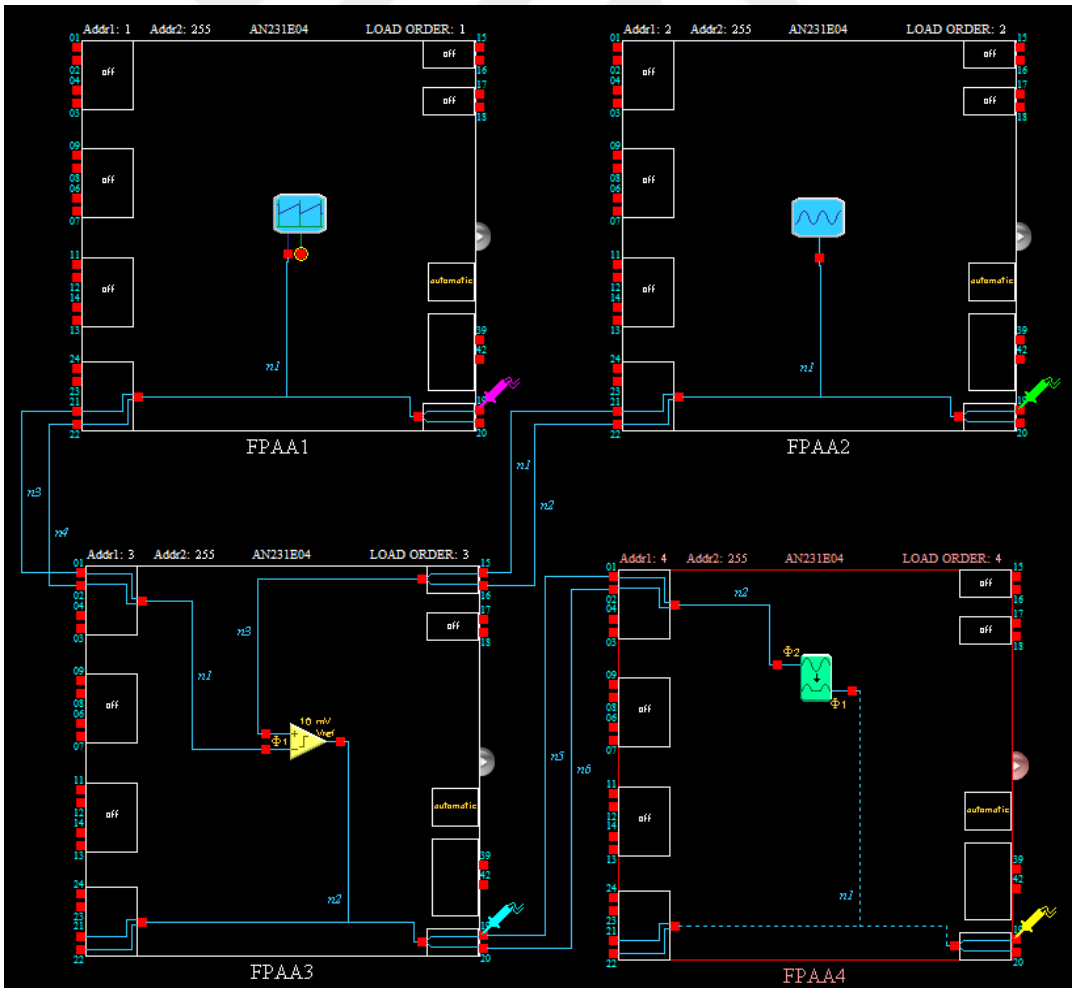
Şekil 3.24. Uygulama devresi-III' e ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali.

3.2.1.4. Uygulama Devresi-IV

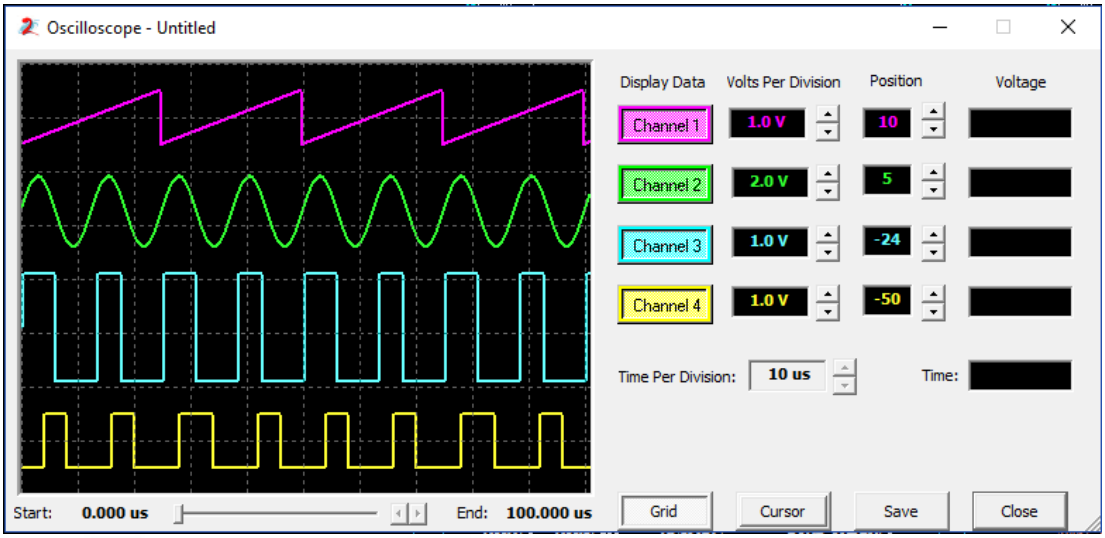
Bu test devresi uygulamasında farklı karşılaştırıcı kullanımını göstermek amacıyla Şekil 3.25' te blok diyagramı görüldüğü üzere iki farklı işaret üretilerek karşılaştırılmıştır. Karşılaştırma sonucunda elde edilen işaret kazancı bir olan eviren kuvvetlendirici ile işlenerek çıkışa aktarılmıştır. Şekil 3.25' teki blok diyagramda ilk FPAA 40 kHz' lik testere dişi işaret üretmektedir ve bu işaret üçüncü FPAA' e uygulanmaktadır. İkinci FPAA, 80 kHz' lik sinüsoidal işaret üretmektedir ve bu işaret üçüncü FPAA uygulanmaktadır. Üçüncü FPAA ise girişine uygulanan iki işareti karşılamakta ve çıkış üretmektedir. Bu çıkış dördüncü FPAA ile evrilerek çıkışlara yansıtılmaktadır. Şekil 3.26' da Anadigm Designer 2™ programında tasarlanan devre sunulmuştur. Devrede bir adet OSCILLATORSIN, bir adet OSCSAWSQR, bir adet COMPARATOR ve bir adet GAININV yapılandırılabilir analog modül kullanılmıştır. Şekil 3.26' daki birinci ve ikinci FPAA' de sırasıyla 2 Volt genliğe sahip 40 kHz' lik testere dişi ve 80 kHz' lik sinüsoidal işaretler üretilmektedir. Üçüncü FPAA' de bulunan CAM, bir karşılaştırıcı devresidir. SYS1 saat sinyali üzerinden bölünerek elde edilen Clock0 bu karşılaştırıcı modülü çalıştırmaktadır. SYS1 saat sinyali 16.000 kHz olarak ayarlanmıştır. Burada Clock0 saat sinyali sırasıyla 4.000 kHz olarak ayarlanmıştır. Dördüncü FPAA' de bulunan modül bir 0.5 kazanca sahip eviren kuvvetlendiricidir. Üçüncü FPAA' de bulunan karşılaştırıcı modül, çift sinyal girişine, tek sinyal girişine ya da değişken referansla beraber tek sinyal girişine imkan tanımamaktadır. Modül ayarıca 0 mV ya da 10 mV olabilen histerizis ayarı sunmakta olup modül çıkışındaki işaret de ayrıca eviren ya da evirmeyen olarak ayarlanbilmektedir. Buradaki modülde çift sinyal girişi kullanılmış olup, 10 mV histerizisli çıkışı evrilmeyen verecek şekilde ayarlanmıştır. Şekil 3.26' da FPAA' lere yerleştirilen osiloskop probları (pembe, yeşil, mavi, sarı) görülmektedir. Problar; FPAA1' de I/O7 (**I**nput/**O**utput-Giriş/Çıkış), FPAA2' de I/O7, FPAA3' te I/O7 ve FPAA4' te I/O7 uçlarına bağlanmıştır. Bu problardan alınan simülasyon sonuçları şekil 3.27' de verilmektedir. Uygulama devresi-IV, geliştirilen platform üzerinde denenmiş ve elde edilen deneysel sonuçlar Şekil 3.28' de sunulmuştur.



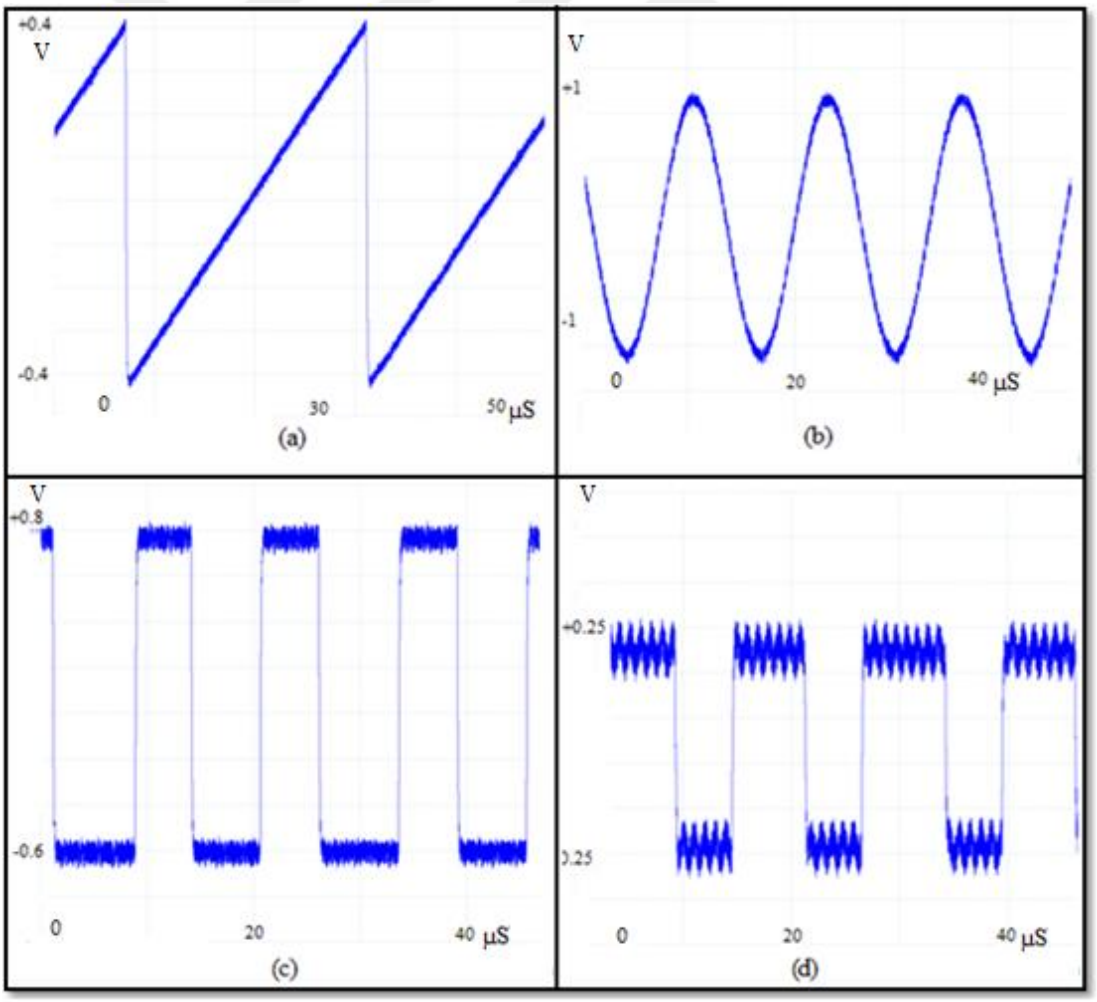
Şekil 3.25. Uygulama devresi-IV blok diyagramı.



Şekil 3.26. Uygulama devresi-IV Anadigm Designer 2™ tasarımı.



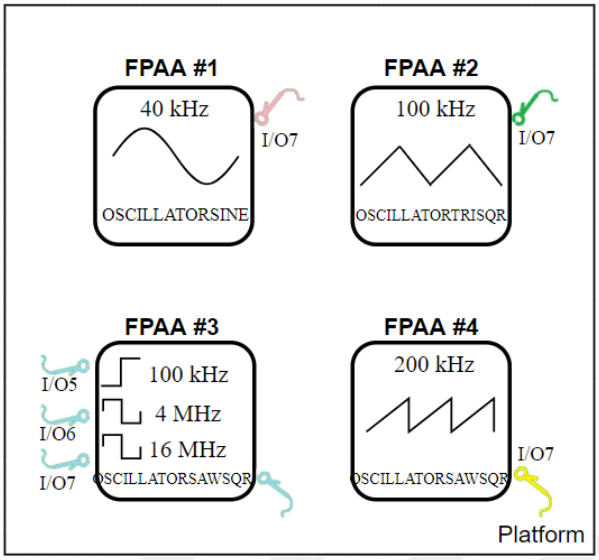
Şekil 3.27. Uygulama devresi-IV' e ait simülasyon sonucu.



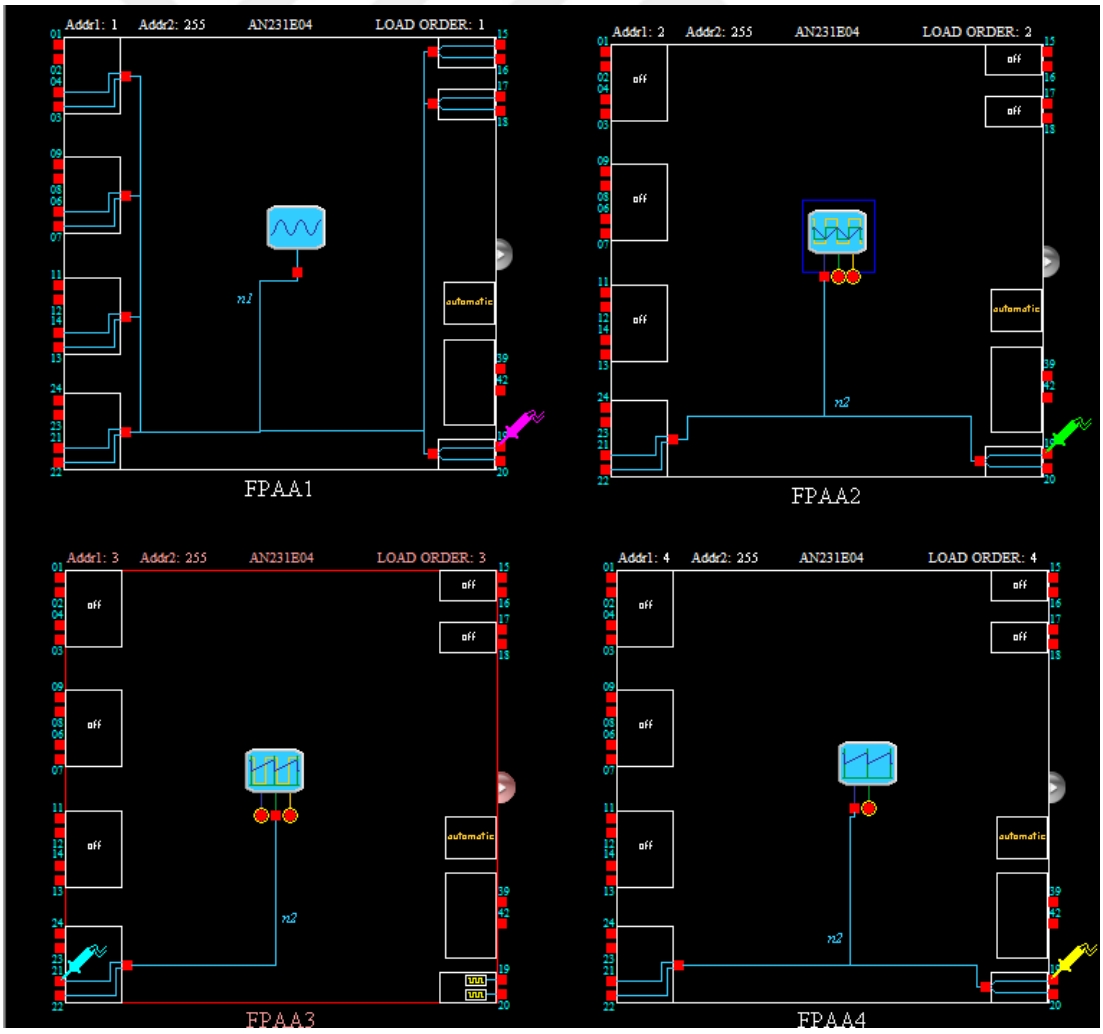
Şekil 3.28. Uygulama devresi-IV' e ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali.

3.2.1.5. Uygulama Devresi-V

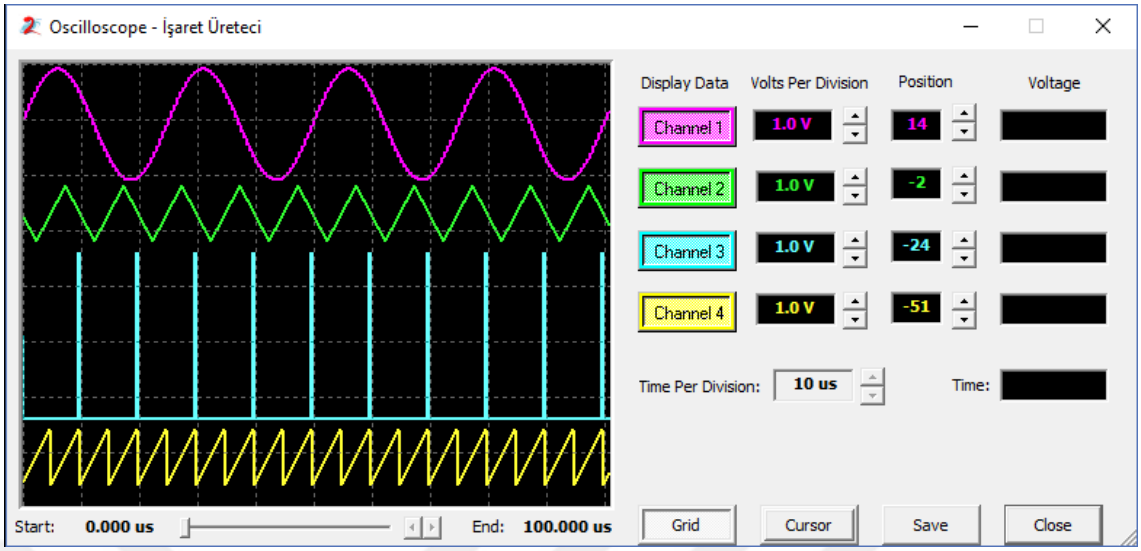
Uygulama devresi-V' te Şekil 3.29' da blok diyagramında görüldüğü üzere işaret üreteci uygulaması yapılmıştır. Platform üzerindeki dört adet FPAA' in birbirleriyle bağlantısı bulunmamaktadır ve her biri ayrı birer işaret üreteci olarak görev yapmaktadır. Şekil 3.29' deki blok diyagram kapsamında, ilk FPAA sinüsoidal işaret üretmektedir ve bu işaret bütün çıkışlarına yansıtılmaktadır. İkinci FPAA, üçgen işaret üretmektedir ve bu işaret iki çıkışına yansıtılmaktadır. Üçüncü FPAA üç görev yapmaktadır. Bunlardan ilki darbe işareti üretmek olup ikinci ve üçüncü görevleri ise sırasıyla FPAA içerisindeki Clock0 ve Clock1 sinyallerini dışarı aktarmaktır. Dördüncü FPAA ise testere dişi işaret üretmektedir ve bu işaret iki adet çıkışa yansıtılmaktadır. Şekil 3.30' da Anadigm Designer 2™ programında tasarlanan devre sunulmuştur. Devrede bir adet OSCILLATORTRISQR, bir adet OSCILLATORSINE ve iki adet OSCILLATORSAWSQR yapılandırılabilir analog modül kullanılmıştır. Şekil 3.30' daki uygulama devresinde, ilk FPAA, 2 Volt 40 kHz sinüsoidal işaret üretmekte olup iki adet çıkışa verilmektedir. FPAA' de bulunan yapılandırılabilir modül SYS1 saat sinyalinden türetilen 2000 kHz' lik Clock2 saat sinyal sinyali ile çalışmaktadır. İkinci FPAA, 1 Volt 100 kHz üçgen işaret üretmekte olup iki adet çıkışa verilmektedir. Üçüncü FPAA, 1 Volt 100 kHz darbe işareti üretmekte olup bir adet çıkışa verilmektedir. Ayrıca üçüncü FPAA içerisinde SYS1 saat sinyalinden bölünerek elde edilen 4 MHz Clock0 ve 16 Mhz Clock1 saat sinyalleri iki adet çıkıştan alınmaktadır. Dördüncü FPAA, 2 Volt 200 kHz testere dişi işaret üretmektedir ve bu işaret iki adet çıkışa verilmektedir. İkinci, üçüncü ve dördüncü FPAA' lerde bulunan CAM' ler, SYS1 saat sinyalinden türetilen 4000 kHz' lik Clock0 saat sinyali ile çalışmaktadır. Şekil 3.30' da FPAA' lere yerleştirilen osiloskop probları (pembe, yeşil, mavi, sarı) görülmektedir. Problar; FPAA1' de I/O7 (**I**nput/**O**utput-Giriş/Çıkış), FPAA2' de I/O7, FPAA3' te I/O4 ve FPAA4' te I/O7 uçlarına bağlanmıştır. Bu problardan alınan simülasyon sonuçları şekil 3.31' de verilmektedir. Uygulama devresi-V, geliştirilen platform üzerinde denenmiş elde edilen deneysel sonuçlar Şekil 3.32 ve Şekil 3.33' te sunulmaktadır.



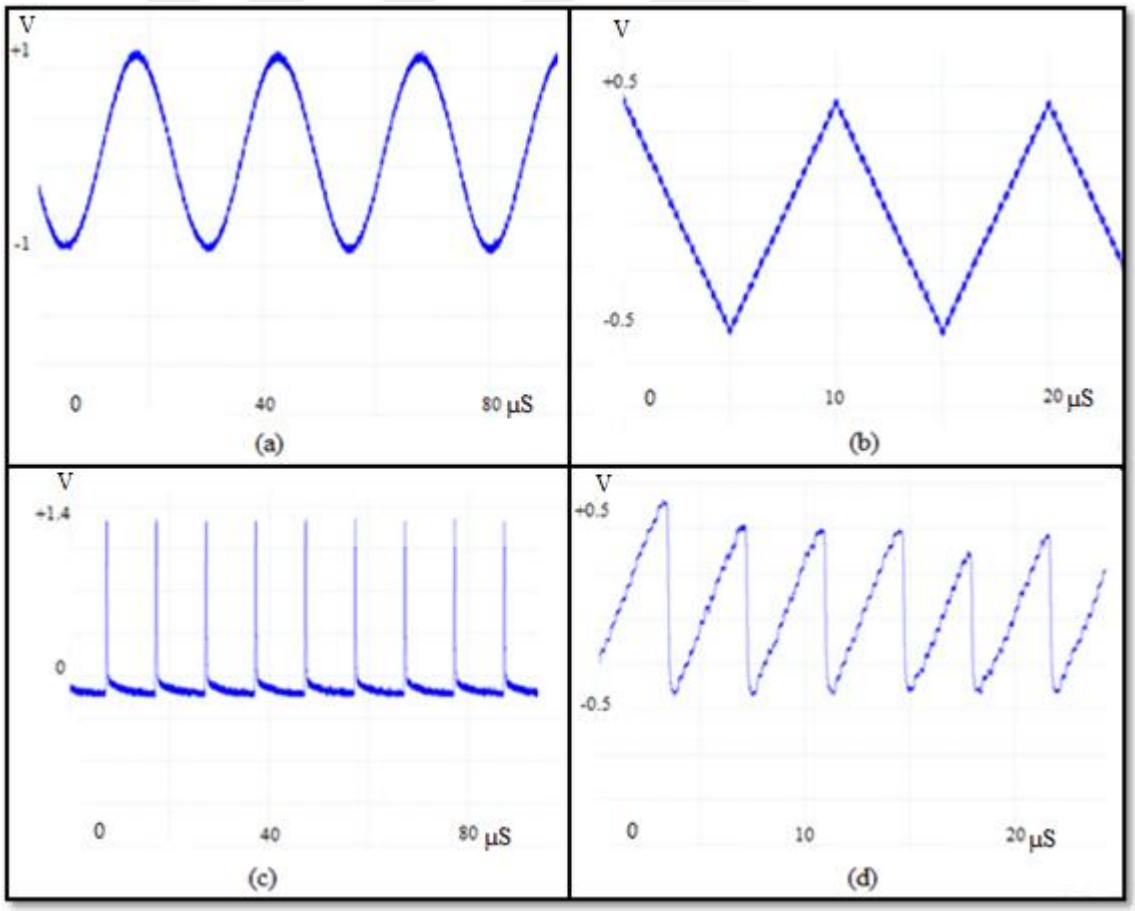
Şekil 3.29. Uygulama devresi-V blok diyagramı.



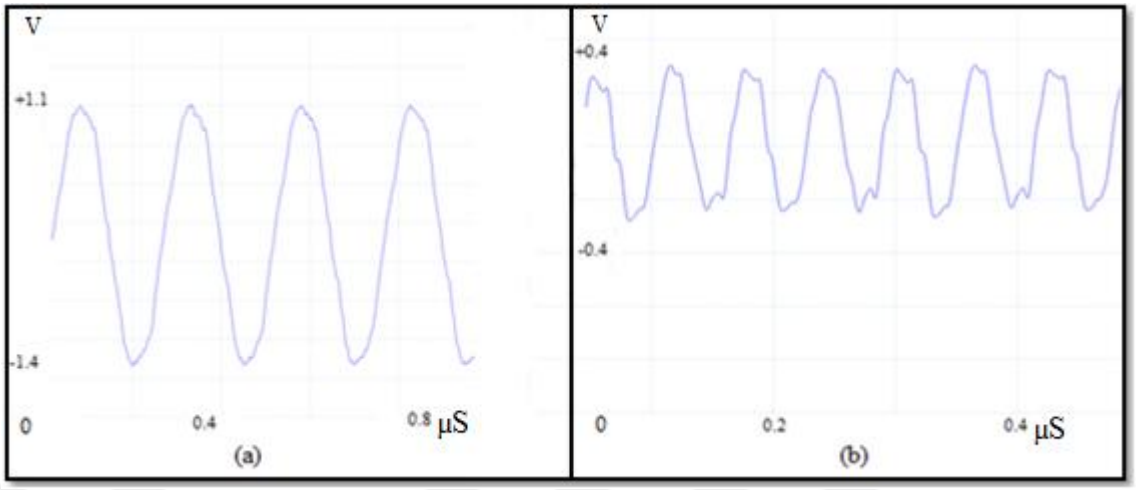
Şekil 3.30. Uygulama devresi-V Anadigm Designer 2™ tasarımı.



Şekil 3.31. Uygulama devresi-V' e ait simülasyon sonucu.



Şekil 3.32. Uygulama devresi-V' e ait deneysel sonuçlar, (a) FPAA1 çıkış sinyali, (b) FPAA2 çıkış sinyali, (c) FPAA3 çıkış sinyali, (d) FPAA4 çıkış sinyali.



Şekil 3.33. Uygulama devresi-V' e ait sistem frekansları deneysel sonuçları, (a) FPAA3 4 MHz çıkış sinyali, (b) FPAA3 16 MHz çıkış sinyali.

3.2.2. Lineer Olmayan Devre Uygulamaları

Bu bölümde, lineer olmayan elektronik devre uygulamalarının da FPAA' ler ile kullanılabilirliğini göstermek adına, model yapı olan Chua osilatörleri test devresi mahiyetinde platform üzerinde uygulanmış olup açıklamalar, blok diyagramlar, devre yapılarının Anadigm Designer 2™' deki karşılıkları, simülasyon sonuçları ve osiloskopta gözlemlenen sonuçlar anlaşılır biçimde sunulmaya çalışılmıştır.

3.2.2.1. Kubik Fonksiyonlu Chua Osilatörü Uygulama Devresi

Kaotik sistemler arasında yer alan Chua osilatörü, basit devre yapısına sahip olması ve kaotik davranış sergilemesi sebebiyle kaos ve kaotik işaret uygulamalarında model bir yapı olarak kabul edilmektedir. Chua osilatörünün durum denklemi aşağıdaki gibidir:

$$\dot{x} = \alpha(y - x - f(x))$$

$$\dot{y} = x - y + z \tag{3.3}$$

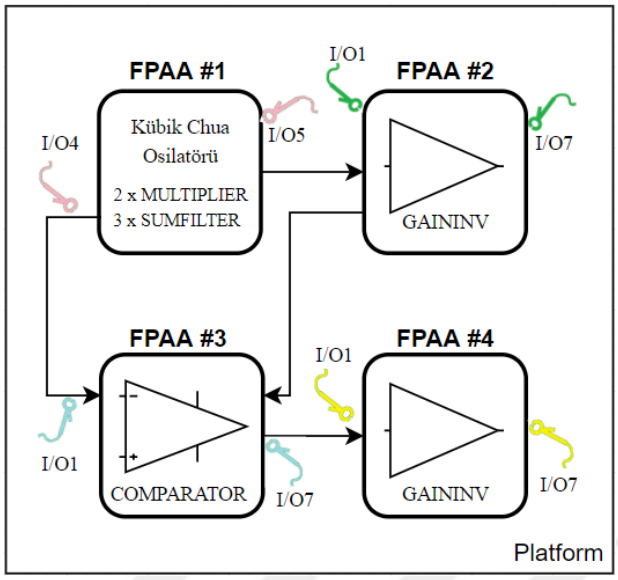
$$\dot{z} = -\beta y$$

Denklem (3.3)' de, x, y ve z durum değişkenleri olarak ifade edilirken α ve β, sistem parametreleri olarak ifade edilmektedir. *f(x),* lineer olmayan bir fonksiyon olup sistemde kaotik davranışın oluşmasında rol oynamaktadır [73].

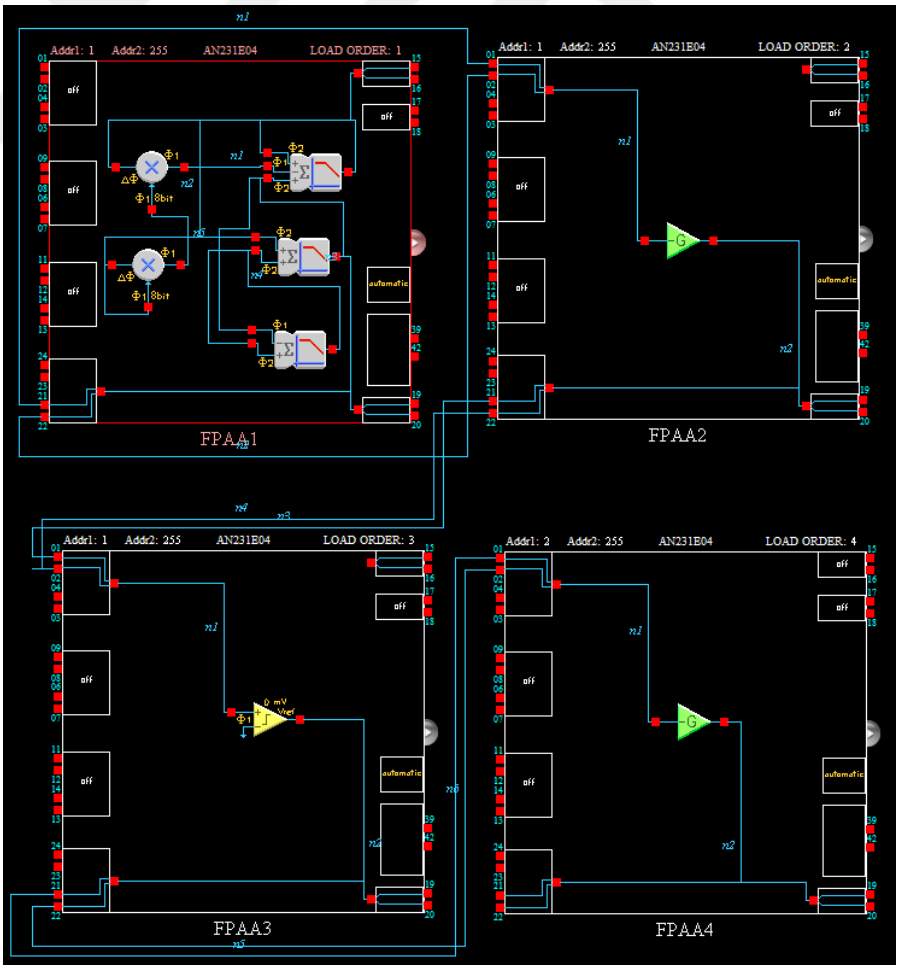
Kaotik Chua Osilatörünün gerçekleştirilmesinde çeşitli lineer olmayan fonksiyonlar kullanılmaktadır. Parçalı doğrusal fonksiyon, kubik fonksiyon ve trigonometrik fonksiyonlar bunlardan birkaçıdır. Bu test devresinde aşağıdaki kubik fonksiyonun kullanılması uygun görülmüş olup Denlem (3.4)' te kubik fonksiyonun matematiksel tanımı verilmiştir [73].

$$f(x) = k_0 x + k_1 x^3 \tag{3.4}$$

Denklem (3.4)' te belirtilen kubik lineer olmayan fonksiyonu görüldüğü üzere, çarpma işlemi, toplama işlemi ve kazanç işlemi gerektirmektedir. Bu işlemler Anadigm Designer 2™ arayüz programında hazır olarak sunulan kütüphanelerle uygulanabilir durumdadır. Farklı lineer olmayan fonksiyonlara sahip Chua osilatörü, programlanabilirlik ve yeniden yapılandırılabilirlik açısından FPAA kullanılarak gerçekleştirilecek potansiyele sahiplerdir. Chua osilatör devrelerinde farklı lineer olmayan fonksiyonlar kullanıldığı için fiziksel olarak donanım oluşturulurken değişik değerlerde direnç, bobin ve kondansatör kullanılması gerekmektedir. Bunların yanısıra Op-Amp ve çarpıcı devrelere de ihtiyaç duyulmaktadır. Denklem (3.4)' teki katsayılar dikkate alındığında, uygulanması istenen herhangi bir katsayı değerinin fiziksel donanımlarla oluşturulmasının çok zor olduğu açıktır. Ayrıca, devre oluşturmak için harcanan zaman ve devre elemanlarının temini, istenen eleman değerlerinin bulunamaması, elemanın kararlılığı ve toleransı gibi etkenlerin de dikkate alınması gerekmektedir. Bu kapsamda düşünüldüğünde, FPAA' lerin lineer olmayan uygulamalarda kullanılması son derece elverişli ve faydalıdır. Örnek olması açısından, Şekil 3.34' te blok diyagramı verilen bu bölümde kubik fonksiyonlu Chua osilatörü gerçekleştirimi yapılmıştır. Blok diyagramda, bütün FPAA bloklarının kullanıbilirliğini göstermek adına, kaotik işaret üretilen FPAA çıkışındaki sinyal, kuvvetlendirici ve karşılaştırıcı katları olarak tasarlanan FPAA' lerden geçirilerek deneysel sonuçlar gözlemlenmiş olup arayüz programında kaotik işaretler için simülasyon imkanı bulunmadığından simülasyon sonucu alınamamıştır. Ayrıca ölçüm yapılan uçlar da blok diyagramda gösterilmiştir. Şekil 3.35' te Anadigm Designer 2™' de tasarlanan devre gösterilmektedir.

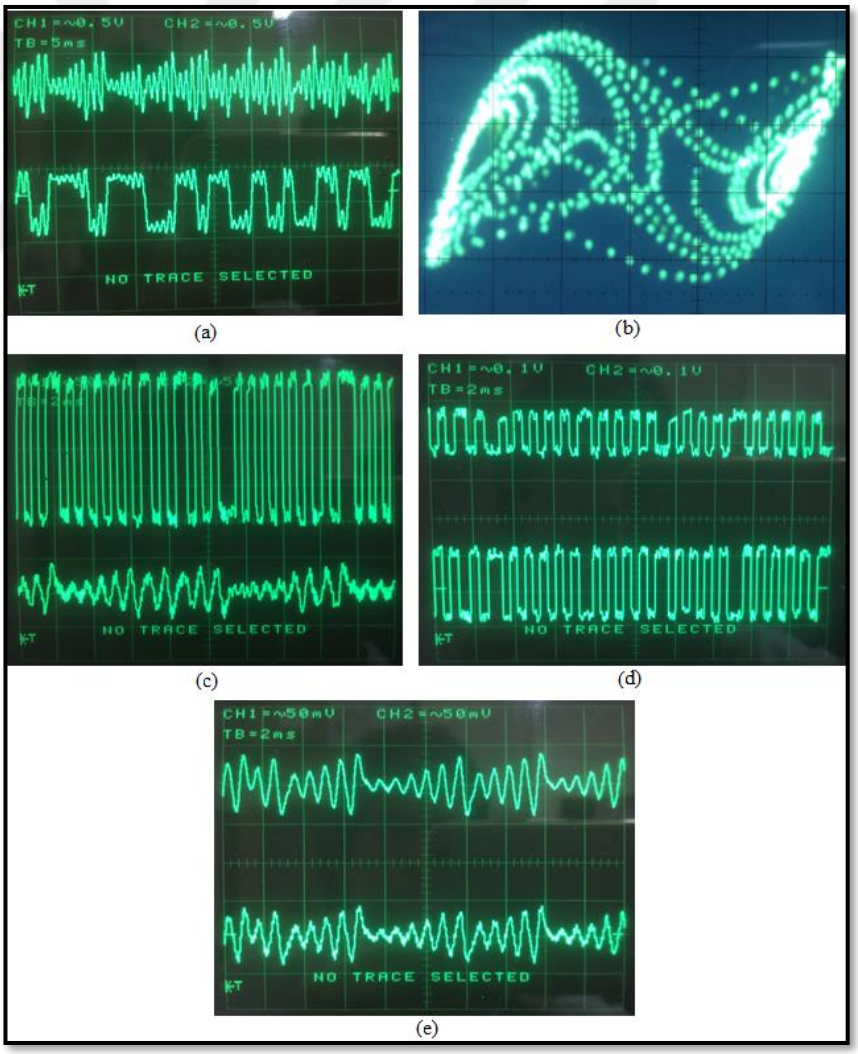


Şekil 3.34. Kubik fonksiyonlu Chua osilatörü uygulama devresi blok diyagramı.



Şekil 3.35. Kübik fonksiyonlu Chua osilatörü uygulama devresi Anadigm Designer 2™ tasarımı.

Şekil 3.35.’ te, birinci FPAA’ de kaotik Chua osilatörü gerçekleştirilerek üretilen kaotik işaret ikinci FPAA’ de bulunan birim kazançlı eviren kuvvetlendiriciye giriş olarak verilmiştir. İkinci FPAA çıkışından alınan evrilmiş kaotik işaret üçüncü FPAA’ de bulunan toprak referanslı karşılaştırıcı girişine uygulanmıştır. Karşılaştırıcı çıkışından alınan işaret, dördüncü FPAA’ de bulunan 0.5 kazançlı eviren kuvvetlendiriciye uygulanarak bütün FPAA blokları kullanılmıştır. Tasarlanan devrede, üç adet SUMFILTER, iki adet MULTIPLIER, iki adet GAININV ve bir adet COMPARATOR yapılandırılabilir analog modülü kullanılmıştır. Kubik fonksiyonlu Chua osilatörü, geliştirilen platform üzerinde denenmiş ve laboratuvar ortamında elde edilen deneysel sonuçlar Şekil 3.36’ da sunulmuştur.



Şekil 3.36. Kübik fonksiyonlu Chua osilatörü uygulama devresine ait deneysel sonuçlar, (a) FPAA1 çıkış sinyalleri, (b) Chua osilatör çekeri, (c) FPAA2 çıkış sinyalleri, (d) FPAA3 çıkış sinyalleri, (e) FPAA4 çıkış sinyalleri.

3.2.2.2. *n*-Çekerli Chua Osilatörleri Uygulama Devresi

Kaotik sistemler arasında oldukça popüler olan Chua osilatörünün literatürde farklı gerçekleştirimleri bulunmaktadır. Bunlardan biri de *n*-çekerli Chua osilatörüdür. *n*-çekerli Chua osilatörünün durum denklemi aşağıdaki gibidir:

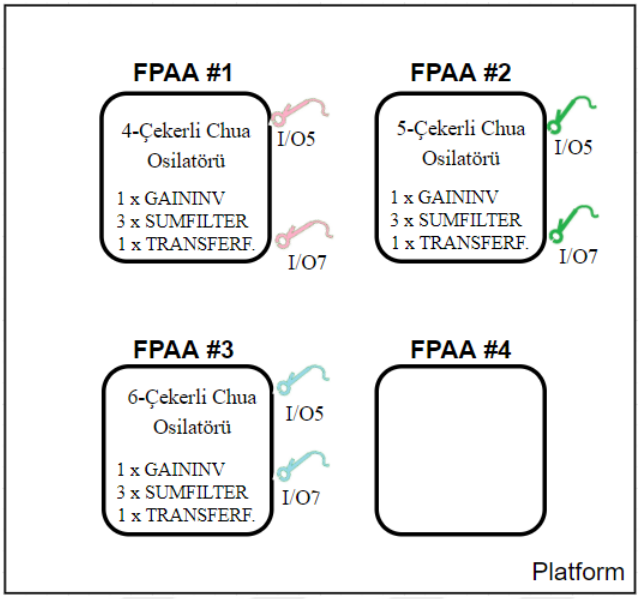
$$\begin{aligned} \dot{x} &= \alpha[y - h(x)] \\ \dot{y} &= x - y + z \\ \dot{z} &= -\beta y \end{aligned} \tag{3.5}$$

Denklem (3.5)' te, x, y ve z durum değişkenleri olarak ifade edilirken *h(x)* parçalı doğrusal karakteristiktir.

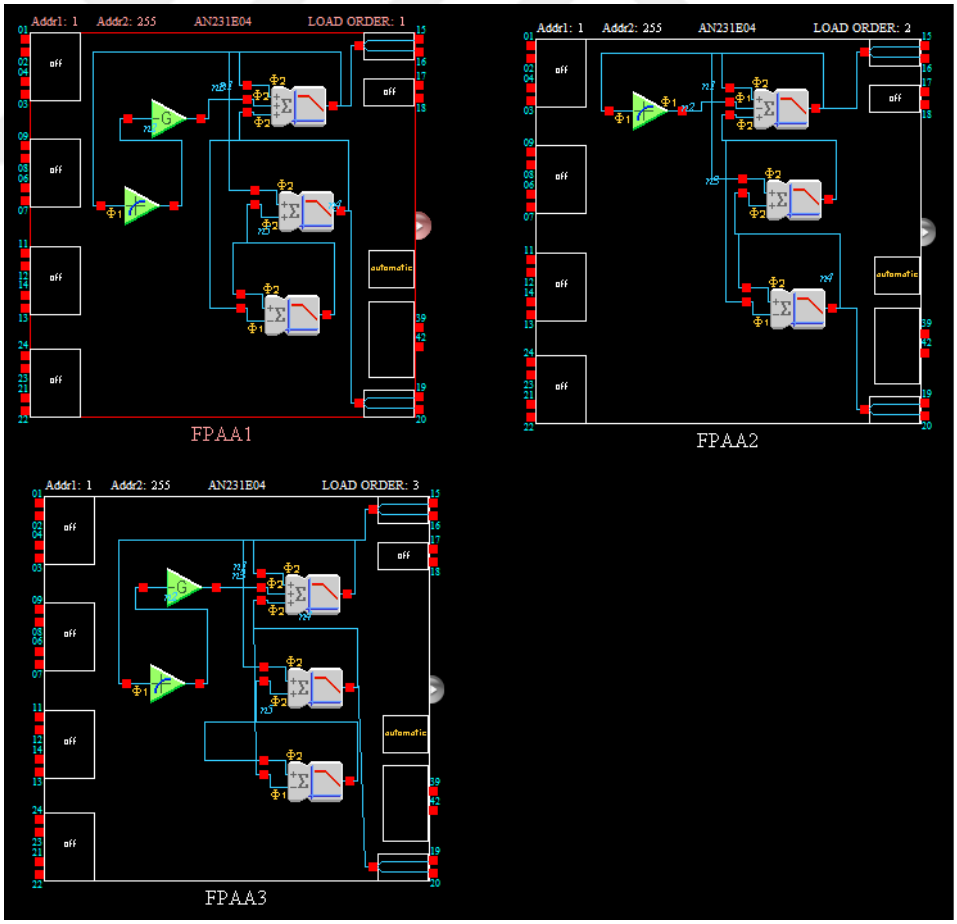
$$h(x) = m_{2q-1}x + \frac{1}{2}\sum_{i=1}^{2q-1}(m_{i-1} - m_i)(|x + c_i| - |x - c_i|) \tag{3.6}$$

Burada q, doğal sayıdır. q=1, α=9 ve β=14.286 olduğunda Chua devresinin davranışı olan çift çeker elde edilmektedir. *n*-çekerli gösterimler için parametre değerleri aşağıda yer almaktadır [73].

- q=1: iki-çeker
  m=[-1/7; +2/7] (3.7)
  c=1
- q=2: üç-çeker
  m=[+0.9/7; -3/7; +3.5/7; -2.4/7] (3.8)
  c=[1; 2.15; 4]
- q=2: dört-çeker
  m=[-1/7; +2/7; -4/7; +2/7] (3.9)
  c=[1; 2.15; 3.6]
- q=3: beş-çeker
  m=[+0.9/7; -3/7; +3.5/7; -2.7/7; +4/7; -2.4/7] (3.10)
  c=[1; 2.15; 3.6; 6.2; 9]
- q=3: yedi-çeker
  m=[+0.9/7; -3/7; +3.5/7; -2.4/7; +2.52/7; -1.68/7; +2.52/7; -1.68/7] (3.11)
  c=[1; 2.15; 3.6; 6.2; 9; 14; 25]

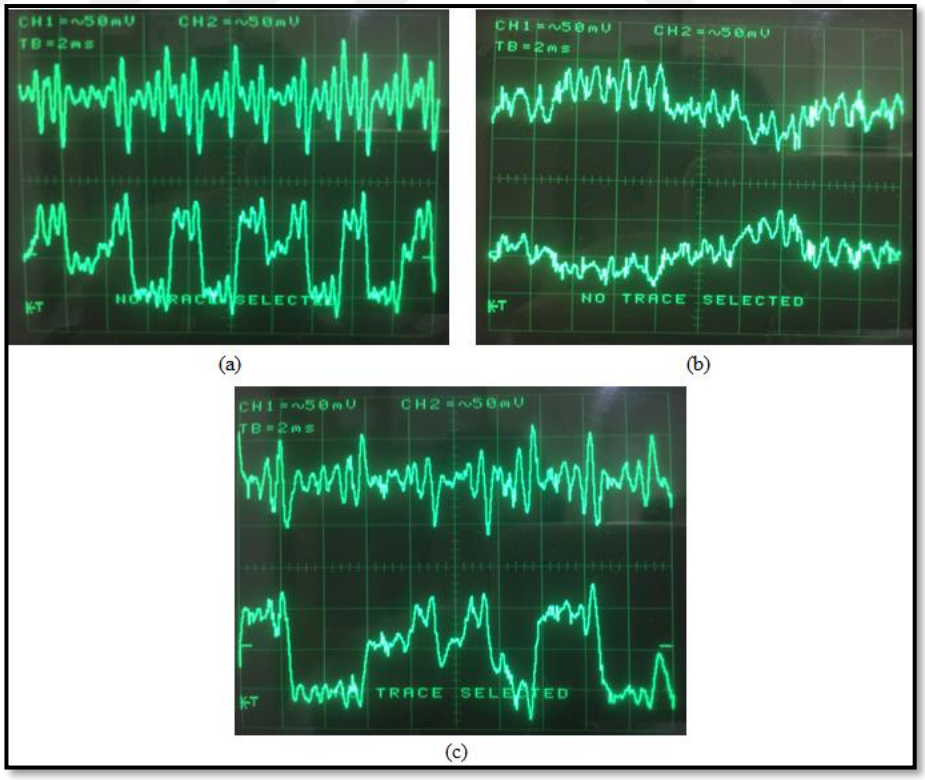


Şekil 3.37. n-çekerli Chua osilatörleri uygulama devresi blok diyagramı.

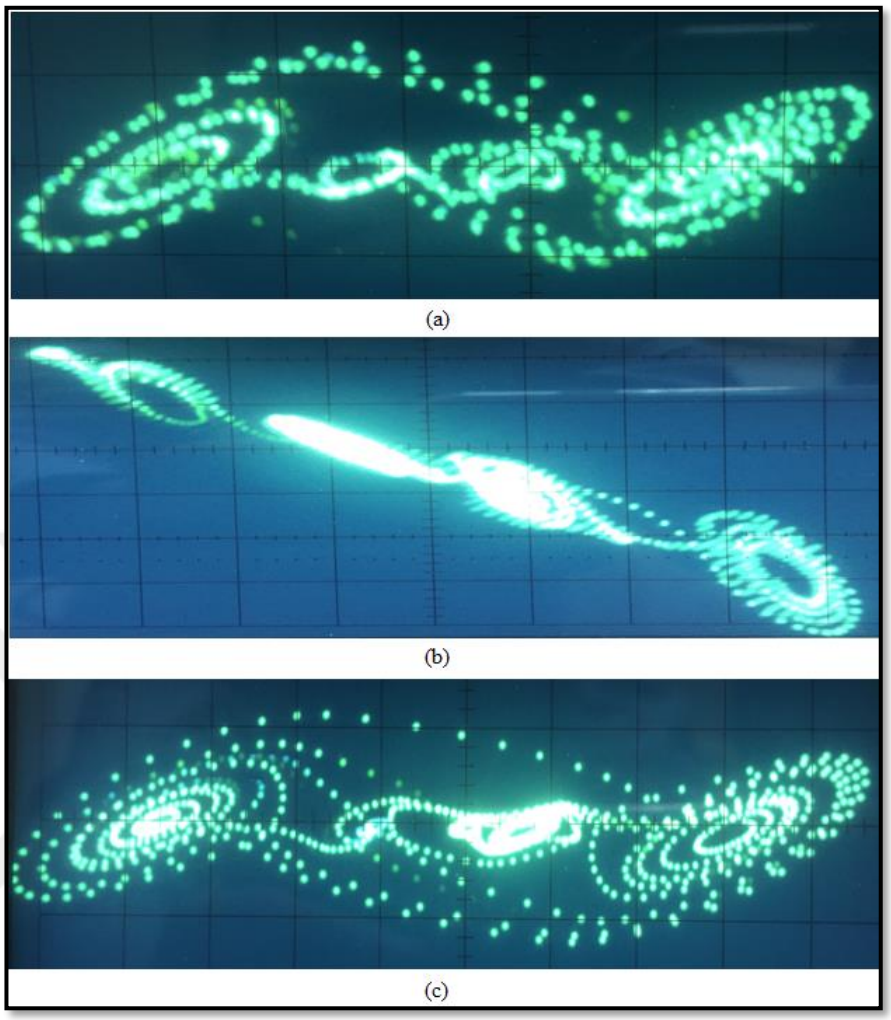


Şekil 3.38. n-çekerli Chua osilatörleri uygulama devresi Anadigm Designer 2™ tasarımı.

Denklem (3.6)’ da belirtilen lineer olmayan fonksiyonu Anadigm Designer 2™ arayüz programında hazır olarak sunulan kütüphanelerle ve LUT’ a girilen fonksiyon değerleriyle uygulanabilir durumdadır. Bu fonksiyonun görevini yerine getirebilmek için arayüz tasarımında TRANSFERFUNCTION ve SUMFILTER yapılandılabilir analog modülleri kullanılmıştır. TRANSFERFUNCTION yapılandırılabilir analog modülü içerisinden LUT’ a erişim imkanı bulunmaktadır. Şekil 3.37’ de gösterildiği üzere platform üzerinde bulunan FPAA bloklarından üç tanesi, farklı çekimli kaotik osilatörler oluşturmak için kullanılmıştır. Ölçüm yapılan problar Şekil 3.37’ de gösterilmektedir. Şekil 3.38’ de tasarlanan devrelerde 4-çekerli, 5-çekerli ve 6-çekerli Chua osilatörlerini gerçekleştirmek için sırasıyla birinci, ikinci ve üçüncü FPAA’ ler kullanılmış olup FPAA çıkışları birbirinden bağımsızdır. *n*-çekerli Chua osilatörü, geliştirilen platform üzerinde denenmiş ve laboratuvar ortamında elde edilen deneysel sonuçlar Şekil 3.38 ve Şekil 3.39’ da sunulmuştur. Anadigm Designer 2™ arayüz programında kaotik işaretlerin simülasyonu yapılamadığından, bu kısımda simülasyon sonucu sunulamamaktadır.



Şekil 3.39 n-çekerli Chua osilatörleri uygulama devresine ait deneysel sonuçlar, (a) 4-çeker Chua osilatörü FPAA1 çıkış sinyalleri, (b) 5-çeker Chua osilatörü FPAA2 çıkış sinyalleri, (c) 6-çeker Chua Osilatörü FPAA3 çıkış sinyalleri.



Şekil 3.40. n-çekerli Chua osilatörleri uygulama devresine ait çeker görünümleri deneysel sonuçları, (a) 4-çeker Chua osilatörü çeker görüntüsü, (b) 5-çeker Chua osilatörü çeker görüntüsü, (c) 6-çeker Chua Osilatörü çeker görüntüsü.

Bu bölümde denenen lineer olmayan devre uygulamalarında FPAA' in yeniden yapılandırılabilir özelliği sayesinde n-çekerli kaos üreteçleri hızlı bir şekilde geliştirilmiş ve deneysel sonuçlar alınmıştır. Gerek lineer devre uygulamaları gerekse de lineer olmayan devre uygulamaları ayrık elemanlarla gerçekleştirmek istenseydi hepsi için ayrı ayrı zaman kaybı söz konusu olacaktı. Ayrıca çok çekerli devre gerçekleştirimi yapıldığı için çok fazla devre elemanı kullanılacağından karmaşık bir devre yapısı ortaya çıkacaktı. Olası bir sorunla karşılaşıldığında ise hatayı bulmak çok zorlaşacaktı. Ayrıca devre için gerekli eleman değerlerini tam olarak bulmak ve devrede kullanılacak Op-Amp' leri temin etmek büyük birer problem olacaktı. Analog devre tasarımında bu tarz sorunlarla uğraşmamak için FPAA' in iyi bir çözüm olabileceği bu bölümde de görülmektedir.

4. BÖLÜM

SONUÇ ve DEĞERLENDİRME

Bu tez çalışmasında literatür taraması neticesinde belirlenen uygulama alanlarına hitap eden, dört adet FPAA bloğu içeren, istenildiğinde anahtarlar yardımıyla ikili, üçlü ya da dörtlü olarak FPAA' lerin kullanılmasına izin veren, konu ile ilgili kendini eğitmek isteyenlere kullanıcı dostu bir kullanım sunan, kapasite sorunlarının önüne geçebilecek esnek bir analog platform tasarımı gerçekleştirilmiştir. Bunun yanısıra FPAA ile ilgilenen araştırmacıların, lisans ve lisansüstü öğrencilerin kompleks analog devre tasarımları geliştirebileceği ve uygulayabileceği bir platform oluşturulduğu düşünülmektedir.

Gerçekleştirilen platform tasarımı; teorik ve literatür çalışması, elektronik baskı devre tasarım ile montajı ve laboratuvar deneyleri olmak üzere üç aşamayı kapsayan bir tez çalışma planının eseridir.Teorik ve literatür çalışma aşaması; bugüne gelene kadar gerçekleştirilen FPAA tasarımlarının, akademik projelerin, ticari projelerin, farklı uygulama alanlarında kullanılan FPAA tabanlı sistemlere ait makalelerin incelenmesini kapsamış olup FPAA' lerin mantığının anlaşılmasına, FPAA' ler ile ilgili temel problemin kapasite yetersizliği sorunu olduğunun anlaşılmasına, mikrodenetleyici ve FPAA tabanlı bir sistem gerçekleştirilmek istendiğinde dinamik yapılandırma bağlantılarının nasıl olacağına, FPAA tabanlı bir sistemin baskı devre tasarımında dikkat edilmesi gereken hususların belirlenmesine imkan tanımıştır. FPAA' lerin son yıllarda akademik çalışma alanlarında popüler olmaya başlamasıyla beraber tezin ilk bölümünde verilen çeşitli uygulama alanlarında kullanılmış olması, konuyla ilgili bütün çalışmaları inceleme gerekliliğini doğurmuştur. Süreç bu minvalde değerlendirildiğinde, teorik ve literatür taraması aşamasında tez süresinden altı ay kullanılmıştır.

Tezin başlangıç aşamasında, oluşturulacak olan platformun bütün uygulama alanlarına hitap edebilmesi gerekliliği düşünülmüştür. Bu doğrultuda yapılan literatür çalışması neticesinde, bütün uygulama alanlarında kullanılan sensör vb. yapıların çok çeşitli olduğu görülmüş olup platform üzerine yerleştirilmesinin gereksiz olacağı; tasarımcıyı karışıklığa iteceği ve FPAA alanından uzaklaştıracağı, baskı devrenin çok fazla alan kapyalacağı dolayısıyla maliyetlerin artacağı belirlenmiş olup, çevresel ünitelerin kolayca kullanımına imkan veren çekirdek bir platformun geliştirilmesinin uygun olacağı kararına ulaşılmıştır. Platforma çekirdek sıfatı tamlaması eklenirken yine bütün uygulama alanlarına hitap edebilmesi göz önünde bulundurularak, mikrodenetleyici ve FPAA' lerin bütün çıkışları tasarımcının kullanımına sunulmuştur.

Belirlenen ve devre analizi yapılan bağlantılar, baskı devre tasarımı aşamasında hayata geçirilmiştir. Baskı devre sürecinde, iki farklı tasarım orijinal baskı devre olarak ürettirilmiştir. İlk baskı devrenin montajı gerçekleştirilmiş ve elektriksel test sırasında, birkaç elektriksel bağlantı hatasının olduğu tespit edilmiştir. Ayrıca, FPAA' ler için baskı devrede kullanılan kılıf yapısının, makine üretimiyle ancak montajlanabileceği anlaşılmıştır. Montaj el ile yapılmak istenildiğinden daha uygun FPAA kılıflarıyla ve giderilen elektriksel bağlantı hatalarıyla yeni bir kart tasarlanmıştır. Tasarlanan ikinci tasarım, orijinal baskı devre olarak ürettirilmiştir. Yeni kartın montajı tamamen el ile laboratuvar imkanlarında gerçekleştirilmiş olup laboratuvar deneyleri için çalışabilir duruma getirilmiştir. Elektronik baskı devre tasarımı ve montaj süreci için tez süresinden 3 ay kullanılmıştır.

Laboratuvar deneyleri aşamasında, her türlü uygulama alanında kullanılan temel analog devre yapıları (evirmeyen kuvvetlendirici, osilatör, filtre vb. yapılar), lineer uygulamalar ve lineer olmayan uygulamalar başlığı altında uygulanmış ve incelenmiştir. Lineer uygulamalar kapsamında, temel devre yapılarını kullanan çeşitli uygulama devreleri geliştirilmiş ve uygulanmış olup platformdaki bütün FPAA' lerin kullanılabildiğini ve platformun karmaşık uygulamalara ev sahipliği yapabileceğini göstermiştir. Yine son yıllarda popüler olan lineer olmayan devre uygulamaları kapsamında sıkça karşılaşılan kaotik işaret üreteçlerinden Chua osilatörü ve n-çekerli varyasyonları platform üzerinde denenmiş, sonuçlar gözlemlenmiş ve platformun kaotik işaret üreteci olarak da kullanılabileceği sonucuna ulaşılmıştır. Laboratuvar deneylerinin uygulanması ve sonuçların gözlemlenmesi için tez süresinden 2 ay kullanılmıştır.

Laboratuvar deneyleri sonucunda, geliştirilen platformun kompleks lineer devre tasarımlarına hizmet edebileceği, ayrıca yeniden yapılandırma ve dinamik olma özellikleriyle öne çıkan FPAA' lerin kaotik sistemlerin tasarımında tercih edilmesi ayrık elemanlarla yapılan tasarımlara kıyasla parametre değerlerinin kolaylıkla ayarlanmasına ve değiştirilmesine, bu sayede analog devre tasarım sürecinin kısaltılmasına, dolayısıyla tasarım maliyetlerinin önemli ölçüde düşürülmesine imkan sağlayacağı görülmüştür.

Ortaya konan çok amaçlı FPAA tabanlı sistem geliştirme platformunda dört adet FPAA bloğu kullanılmıştır. Hali hazırda FPAA üreticisi Anadigm firması tarafından da piyasaya sunulan geliştirme platformları arasında dört FPAA bloklu platform mevcuttur. Ancak firma tarafından sunulan bir, iki ve dört bloklu Apex FPAA platformları, bir başka platformla genişletilmeye imkan vermemektedir. Bu sonucun, kompleks uygulamalar geliştirmek isteyen tasarımcıların kapasiteyle ilgili problemlerine bir yenisini eklediği ve firma tarafından bu tarz bir yaklaşımın benimsenmesinin ürünlerini yaygınlaştırmak adına ticari bi faaliyet olduğu düşünülmektedir. Yüksek fiyatlara satılan bu platformlar tasarımcıları FPAA alanından uzaklaştırmakta ve ayrık elemanlarla tasarım yapmaya mecbur bırakmaktadır. Sonuç olarak bu tez çalışmasında biraraya getirilen dört FPAA bloğu ile Apex platformlarındaki FPAA sayısı yakalanmış ve ek olarak platformların birbiriyle genişlemesine imkan verilmiş olup firma platformlarına bağımlılık ortadan kaldırılmıştır. Platformun, bir başka platfomla genişletilebileceği göz önüne alındığında dörtlü, sekizli, onaltılı vb. FPAA sayılarına ulaşabilmenin kapasite problemleriyle karşılaşan tasarımcılar için nefes niteliğinde olacağı düşünülmektedir.

Önümüzdeki yıllarda, FPAA' in avantajlarından faydalanan lineer ve lineer olmayan sistemler üzerine yapılan çalışmaların artarak devam edeceği düşünülmektedir. Bu çalışma bu kapsamda değerlendirildiğinde, FPAA ve mikrodenetleyici tabanlı bir sistemi özkaynaklar dahilinde geliştirebilmenin büyük önemi olduğu düşünülmektedir.

Platforma mevcut haliyle, sistemler geliştirmek, denemek ve sonuçlar almak için uygundur ancak konuya ilgi duyan, bu tarz platformlar geliştirmek isteyen tasarımcılar için birkaç hatırlatmanın yapılması elzemdir. Laboratuvar deneylerinde, platformun zaman zaman gürültüden çok etkilendiği görülmüş olup ek kapasitörlerle sorun giderilmeye çalışılmıştır. Sorun kısmen giderilmiştir ancak maliyeti düşürmek adına

nispeten küçük bir baskı devre alanına sığdırılmaya çalışılan tasarım neticesinde sinyal yollarının uzun ve dairesel şekilde olmasının gürültü kaynağı olduğu düşünülmektedir. Bir diğer tasarım aşamasında dikkat edilmesi gereken hususun ise dijital ve analog toprakların birbirinden ayrı ayrı ve yeteri kadar bakır içerecek şekilde tasarlanması gerekliliğidir.

Bu tez çalışmasında oluşturulan platformun ve uygulama devrelerinin FPAA tabanlı sistemler üzerinde çalışan araştırmacılara yeni fikirler ve hedefler sunabileceği düşünülmektedir.

KAYNAKÇA

1. Hall, Tyson S., 2004. Field-Programmable Analog Arrays: A Floating-Gate Approach. School of Electrical and Computer Engineering Georgia Institute of Technology, In Partial Fulfillment of the Requirements for the Degree Doctor of Philosophy, Atlanta, 155 s.

2. Gaudet, V.C., Gulak, P.G., 1998. Implementation Issues for High-Bandwidth Field-Programmable Analog Arrays. Journal Of Circuits, Systems and Computers, 8 (05n06): 541-558.

3. Znamirowski, L., Palusinski, O.A., Vrudhula, S.B.K., 2004. Programmable Analog/Digital Arrays in Control and Simulation. Analog Integrated Circuits and Signal Processing, 39 (1): 55-73.

4. Dipti, Reddy, B., 2016. Field Programmable Analog Array: A boon for analog World, pp. 2975-2980. 3rd International Conference on Computing for Sustainable Global Development (INDIACom), 16-18 March 2016, New Delhi, India.

5. Roberts, T., 2004. Using Field-Programmable Analog to Build Adaptable RFID Readers. Rf and Microwave Technology For Design Engineers – Rfdesign, 1: 44-48.

6. Koziol, S., Hasler, P., Stilman, M., 2012. Robot Path Planning Using Field Programmable Analog Arrays, pp. 1747-1752. IEEE International Conference on Robotics and Automation, 14-18 May 2012, Saint Paul, MN, USA.

7. Cooklev, T., Stanchev, L., Chen, C., 2013. Wireless cloud architecture based on thin clients and ontologies, pp. 884-887. IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS), 4-7 August 2013, Columbus, OH, USA.

8. Shah, S., Hasler, J., Kim, S., Lal I., Kagle, M., Collins, M., 2016. Demonstration of a Remote FPAA System for Research and Education, pp. 1441-1441. International Symposium on Circuits and Systems (ISCAS), 22-25 May 2016, Montreal, QC, Canada.

9. Vinayakamoorthy, K., Sivasankar, S., Eswaran, P., Neelakandan, J., 2014. Design and Implementation of ASIC for Weather Monitoring Application Using FPAA and FPGA, pp. 365-369. Control, Instrumentation, Communication and Computational Technologies (ICCICCT), 10-11 July 2014, Kanyakumari, India.

10. Yin, T., Cheng, X., Xin, F., Wu, Q., Wang, F., Yang, H., 2015. A Smart Sensory Platform Based on Field Programmable Analog Array, pp. 1-4. IEEE Sensors, 1-4 November 2015, Busan, South Korea.

11. Sukumaran, D., Enyi, Y. and et al., 2012. A low-power, reconfigurable smart sensor system for EEG acquisition and classification, pp. 9-12. IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 2-5 December 2012, Kaohsiung, Taiwan.

12. Cheng, X., Yin, T., Wu, Q., Jia, Y., Yang, H., 2013. A cmos field programmable analog array for intelligent sensory application, pp. 1-4. International Conference on Field Programmable Logic and Applications (FPL), 2-4 September 2013, Porto, Portugal.

13. Cisneros, S., Padilla, J., Garcia, I., Dominguez, J., Panduro, J., 2015. Design and Implementation of a DC Motor Control Using Field Programmable Analog Arrays, pp. 1-6. 12th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE), 28-30 Oct. 2015, Mexico City, Mexico.

14. Caponetto, R., Di Mauro, A., Fortuna, L., Frasca, M., 2005. Field Programmable Analog Array to Implement A Programmable Chua's Circuit. Int. Journal of Bifurcation and Chaos, 15(5): 1829-1836.

15. Hulub, M., Frasca, M., Fortuna, L., Arena, P., 2006. Implementation and Synchronization of 3x3 Grid Scroll Chaotic Circuits with Analog Programmable Devices. Chaos, 16(1): 013121.

16. Arena, P., Buscarino, A., Fortuna, L., Frasca, M., 2006. Separation and synchronization of piecewise linear chaotic systems. Physical Review E, 74(2): 016215.

17. Kılıç, R., Dalkıran, F.Y., 2008. FPAA-Based programmable implementation of a chaotic system characterized with different nonlinear functions, pp. 132-135. 2008

International Symposium on Nonlinar Theory and its Applications (NOLTA 2008), 7-10 September 2008, Budapest, Hungary.

18. Kılıç, R., Dalkıran F.Y., 2010. Programmable Design and Implementation of A Chaotic System Utilizing Multiple Nonlinear Functions. Turkish Journal of Electrical Engineering and Computer Sciences, 18(4): 647-655.

19. Kılıç, R., Dalkıran, F.Y., 2009. FPAA-Based Implementation of Nonautonomous MLC Circuit, pp. 142-146. The 17th International Conference on Nonlinar Dynamics of Electronics Systems (NDES), 21-24 June 2009, Rapperswil, Switzerland.

20. Kılıç, R., Dalkıran, F.Y., 2009. Reconfigurable Implementations of Chua's Circuit. International Journal of Bifurcation & Chaos, 19(4): 1339-1350.

21. Dalkıran F.,Y., Günay, E., Kılıç, R., 2010. HSA (Hücresel Sinir Ağı)-Tabanlı Otonom Olmayan MLC Devresinin Donanımsal Gerçekleştirimleri, pp. 657-660. Elektrik-Elektronik-Bilgisayar Müh. Sempozyumu-ELECO 2010, 2-5 Aralık 2010, Bursa, Turkey.

22. Günay, E., Altun K., 2017. FPAA implementation of CNN based chaos generator, pp. 1-4. 25th Signal Processing and Communications Applications Conference (SIU), 15-18 May 2017, Antalya, Turkey.

23. Boyacı O., Tantuğ A., 2017. A random number generation method based on discrete time chaotic maps, pp. 1212 – 1215. Circuits and Systems (MWSCAS), IEEE 60th International Midwest Symposium, 6-9 Aug. 2017, Boston, MA, USA.

24. Günay, E., Altun K., 2017. BER analysis and application in FPGA and FPAA based communication systems, pp. 1-5. Artificial Intelligence and Data Processing Symposium (IDAP), 16-17 Sept. 2017, Malatya, Turkey.

25. Kılıç, R., Günay, E., Yıldırım, F., Mutlu, Ü., 2011. Experimental verification of CNN (Cellular Neural Network)-based nonautonomous MLC chaos generator, pp. 624-627. 20th European Conference on Circuit Theory and Design (ECCTD), 29-31 Aug. 2011, Linkoping, Sweden.

26. Addabbo, T., Alioto, M., Fort, A., Rocchi, S., Vignoli, V., 2006. Uniform-Distributed Noise Generator Based on a Chaotic Circuit, pp. 4. Instrumentation and Measurement Technology Conference, 24-27 April 2006, Sorrento, Italy.

27. Arik, S., Korkmaz, N., Öztürk, İ., Kılıç, R., Günay, E., 2013. Reconfigurable implementations of PWL-based multiscroll chaos generator, pp. 604-608. 8th Electrical and Electronics Engineering (ELECO), 28-30 Nov. 2013, Bursa, Turkey.

28. Kılıç, R., Dalkıran F.Y., 2010. Programmable design and implementation of a chaotic system utilizing multiple nonlinear functions. Turkish Journal of Electrical Engineering and Computer Sciences, 18(4).

29. Buscarino, A., Fortuna, L., Frasca, M., Sciuto, G., 2014. FPAA-Based Implementation of Chaotic Circuits. A Concise Guide to Chaotic Electronic Circuits, pp. 73-82.

30. Korkmaz, N., Öztürk, İ., Kılıç, R., 2016. Multiple perspectives on the hardware implementations of biological neuron models and programmable design aspects. Turkish Journal of Electrical Engineering and Computer Sciences, 24(1): 1729-1746.

31. Berenson, D., Estévez, N., Lipson, H., 2005. Hardware Evolution of Analog Circuits for In-situ Robotic Fault-Recovery, pp. 12-19. Proceedings of The 2005 NASA/DoD Conference of Evolution Hardware, 29 June-1 July 2005, Washington, DC, USA.

32. Sanches, P.R.S, Müller, A.F., Carro, L., Susin, A:A., Nohama, P., 2007. Analog Reconfigurable Technologies for EMG Signal Processing. Revista Brasileira de Engenharia Biomédica, 23(2): 153-157.

33. Jariwala, P., Wu, R., 2004. Sensor Signal Conditioning Using Field Programmable Analogue Arrays (FPAA). Analog Signal Processing –ASP 2004, 7(8):1176-1182.

34. Galliere, J.M., 2007. Programmable Analog Array in Control-Systems Laboratory, pp. 1-5. Proceedings of The 15th Mediterranean Conference on Control&Automation, 27-29 June 2007, Athens, Greece.

35. I. Lita, D. A. Visan, and I. B. Cioc, 2009. FPAA based PID controller with applications in the nuclear domain, pp.1-4. 32nd International Spring Seminar on Electronics Technology (ISSE), 13-17 May 2009, Brno, Czech Republic.

36. R. Stala and M. Gurbiel, 2005. Practical realization of state detection of contactless electrical energy transmission system using field programmable analog array – FPAA. Przeglad Elektrotechniczny (Electrical Review), 81(7-8): 91–97.

37. A. Deese, J. C. Jimenez, and C. O. Nwankpa, 2009. Utilization of field programmable analog arrays (FPAA) to emulate power system dynamics, pp 1713-1716. IEEE International Symposium on Circuits and Systems, 24-27 May 2009, Taipei, Taiwan.

38. D. P. Morales, A. Garcia, A. J. Palma, M. A. Carvajal, E. Castillo, and L. F. Capitan-Vallvey, 2008. Enhancing ADC resolution through Field Programmable Analog Array dynamic reconfiguration, pp. 635–638. International Conference on Field Programmable Logic and Applications (FPL), 8-10 September 2008, Heidelberg, Germany.

39. R. Suszynski and K. Wawryn, 2012. Prototyping of higher order ADC based on implementation of a FPAA, pp. 1–4. Signals and Electronic Systems (ICSES), 18-21 Sept. 2012, Wroclaw, Poland.

40. A. Piłat, 2012. Control Toolbox for Industrial Programmable Analog Controller–Embedding State Feedback Controller, pp. 1–4. IEEE 17th Conference on Emerging Technologies & Factory Automation (ETFA), 17-21 September 2012, Krakow, Poland.

41. A. Piłat, 2012. The Programmable Analog Controller. Static and Dynamic Configuration, as exemplified for Active Magnetic Levitation. Przeglad Elektrotechniczny (Electrical Review), 88(4b/2012): 283–287.

42. A. Piłat and K. Klocek, 2012. Investigation of chained analog signal processors in programmable analog computer. Programmable Devices and Embedded Systems, 11(1): 289–293.

43. D. Komorowski, A. Malcher, and S. Pietraszek, 2013. Hybrid system of ECG signal acquisition and QRS complexes detection for special medical devices synchronization. Journal of Medical Informatics and Technologies, 22(1): 227–234.

44. L. Svensson and L. Peterson, 2015. A system-level mixed-signal design course, pp. 44-47. Microelectronics Systems Education (MSE), 20-21 May 2015, Pittsburgh, PA, USA.

45. B. Ferri, J. Harris, M. A. Weitnauer, and D. Majerich, 2015. A feedbackbased approach for evolving a blended class model for large enrollment, multiple section circuits courses, pp. 1-8. IEEE Education Conference (FIE), 21-24 October 2015, El Paso, TX, USA.

46. B. Ferri, W. Newstetter, and D. Majerich, 2015. Instructor and graduate teaching assistant development and training for a blended linear circuits and electronics course, pp. 1-4. IEEE Education Coriference (FIE), 21-24 Oct. 2015, El Paso, TX, USA.

47. Morales, D., Garcla, A., Palma, A., Mart, A., 2007. Merging FPGA and FPAA reconfiguration capabilities for IEEE 1451.4 compliant Smart Sensor Applications, pp. 217-220. 3rd Southern Conference on Programmable Logic, 28-26 Feb. 2007, Mar del Plata, Argentina.

48. Deese, A., Nwankpa, C., 2014. Design and Testing of Custom FPAA Hardware With Improved Scalability for Emulation of Smart Grids, pp. 1-1. IEEE PES General Meeting | Conference & Exposition, 27-31 July 2014, National Harbor, MD, USA.

49. Suszynski, R., Marciniak, J., Wawryn, K., 2016. An Artificial Neural Network for Classification a Quality of a Coal Fuel in Combustion Chambers Using FPAA, pp. 160-163. 23rd International Conference Mixed Design of Integrated Circuits and Systems, 23-25 June 2016, Lodz, Poland.

50. Xilinx, Inc., 2100 Logic Drive San Jose, CA 95124-3400, USA, 2018, www.xilinx.com

51. Altera Corporation, 101 Innovation Drive, San Jose, California 95134, USA, 2018, www.altera.com

52. Anadigm Inc., 1901 South Bascom Avenue Suite 1550 Campbell CA 95008, USA, 2018, www.anadigm.com

53. Kutuk, H., Kang (Steve), S-M., 1997. Filter Design Using a New Field-Programmable Analog Array (FPAA). Analog Integrated Circuits And Signal Processing, 14(1): 81-90.

54. Balen, T.R., Andrade, A.Q., Azais, F., Lubaszewski, M., Renovell, M., 2015. Applying the Oscillation Test Strategy to FPAA's Configurable Analog Blocks. Journal Of Elecronic Testing: Theory And Applications, 21(2): 135-146.

55.A. Basu, S. Brink, C. Schlottmann, and S. Ramakrishnan, 2010. A Floating-Gate-Based Field-Programmable Analog Array. IEEE Journal of Solid- State Circuits, 45(9): 1781–1794.

56. C. M. Twigg and P. Hasler, 2006. A Large-Scale Reconfigurable Analog Signal Processor (RASP) IC, pp. 5–8. IEEE Custom Integrated Circuits Conference, 10-13 Sept. 2006, San Jose, USA.

57. B. Pankiewicz, M. Wojcikowski, S. Szczepanski, and Y. Sun, 2002. A Field Programmable Analog Array for CMOS Continuous Time OTA-C Filter Applications. IEEE Journal of Solid-State Circuits, 37(2): 125–136.

58. E. A. Soliman and S. A. Mahmoud, 2005. Digitally Controlled CMOS Balanced Output Transconductor and Application to Variable Gain Amplifier and Gm-C Filter on Field Programmable Analog Array. Journal of Circuits, Systems, and Computers, 14(4): 667–671.

59. J. Becker, F. Henrici, S. Trendelenburg, M. Ortmanns, and Y. Manoli, 2008. A Field-Programmable Analog Array of 55 Digitally Tunable OTAs in a Hexagonal Lattice. IEEE Journal of Solid-State Circuits, 43(12): 2759–2768.

60. D. Fernandez, L. Martinez-Alvarado, and J. Madrenas, 2012. A Translinear, Log-Domain FPAA on Standard CMOS Technology. IEEE Journal of Solid-State Circuits, 47(2): 490–503.

61. E. A. Soliman and S. A. Mahmoud, 2012. Voltage-mode Field Programmable Analog Array using Second Generation Current Conveyor, pp. 710–713. 2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS), 5-8 Aug. 2012, Boise, ID, USA.

62. V. C. Gaudet and P. G. Gulak, 1997. CMOS implementation of a current conveyor-based field-programmable analog array. Conference of Signals, Systems and Computers, 2(1): 1156–1159.

63. C. A. Looby and C. Lyden, 2000. Op-amp based CMOS field-programmable analogue array. IEEE Proceedings - Circuits, Devices and Systems, 147(2): 93–99.

64. S. Chang, B. Hayes-Gill, and C. Paull, 1996. Multi-function block for a switched current Field programmable analogue array, pp. 158–161. IEEE 39th Midwest Symposium Circuits Systems, 21-21 Aug. 1996, Ames, IA, USA.

65. F. Henrici, J. Becker, S. Trendelenburg, D. DeDorigo, M. Ortmanns, and Y. Manoli, 2009. A Field Programmable Analog Array using Floating Gates for High Resolution Tuning, pp. 265–268. IEEE International Symposium on Circuits and Systems, 24-27 May 2009, Taipei, Taiwan.

66. Cypress Semiconductor Corp., 198 Champion Court San Jose, CA 95134, USA, 2018, http://www.cypress.com

67. Anadigm, 5 Volt FPAA – End of Life Letter, Anadigm Inc, Erişim Tarihi: Ocak 2018, http://www.anadigm.com/_doc/Anadigm_AN22xE04_EOL.pdf

68. E. Ramsden, 2001. The ispPAC family of reconfigurable analog circuits, pp. 176–181. The Third NASA/DoD Workshop on Evolvable Hardware, 12-14 July 2001, Long Beach, CA, US.

69. Lattice Semiconductor Corporation, 7th Floor, 111 SW 5th Avenue, Portland, 2018, http://www.latticesemi.com/

70. Zetex Semiconductors Ltd., 4949 Hedgcoxe Road Suite #200 Plano TX 75024, USA, 2018, http://www.diodes.com

71. A. Bratt, 1998. Motorola field programmable analogue arrays, present hardware and future trends, pp. 1-5. IEEE Half-day Colloquium on Evolvable Hardware Systems, 3 March 1998, London, UK.

72. L. Znamirowski, O. Palusinski, and C. Reiser, 2002. Optimization technique for dynamic reconfiguration of programmable analog/digital arrays. Analog Integrated Circuits and Signal Processing, 31(1): pp. 19–30.

73. Kılıç, R., 2010. A Practical Guide for Studying Chua' s Circuits. World Scientific.

ÖZGEÇMİŞ

KİŞİSEL BİLGİLER

Adı, Soyadı: Volkan ONURSOY
Uyruğu: Türkiye (TC)
Doğum Tarihi ve Yeri: 19 Ocak 1988, Kayseri
Medeni Durumu: Evli
Tel: +90 553 657 56 52
email: volkanonursoy@gmail.com
Yazışma Adresi: Melikgazi Mh. Akçıra Sk. 1/20 Melikgazi/KAYSERİ

EĞİTİM

Derece	Kurum	Mezuniyet Tarihi
Yüksek Lisans	EÜ Fen Bilimleri Enstitüsü	-
Lisans	EÜ Mühendislik Fakültesi Elektrik Elektronik Mühendisliği	2011
Lise	Kayseri Lisesi, Kayseri	2006

İŞ DENEYİMLERİ

Yıl	Kurum	Görev
2014-Halen	Kayseri Bilim, Sanayi ve Teknoloji İl Müdürlüğü	Mühendis – Ürün Denetçisi
2013-2014	Bilim, Sanayi ve Teknoloji Bakanlığı - Bilim ve Teknoloji Genel Müdürlüğü	Bilim ve Teknoloji Uzman Yardımcısı
2011-2013	Freelance Elektronik Devre Tasarımı	-
2011	Netsim Yazılım A.Ş.	Ar-Ge Mühendisi
2008–2010	Manyetik Elektronik Ltd. Şti.	Ar-Ge Mühendisi (Part Time)

YABANCI DİL

İngilizce

YAYINLAR

1. Develi, İ., Onursoy, V., 2011. High-quality image transmission over 2.4 GHz short-range wireless communication system. 2011 IEEE 19th Signal Processing and Communications Applications Conference (SIU), pp. 610-613. 20-22 April 2011, Antalya, Turkey.